



Titre: Compensation de la tension de décalage du CFOA et applications
Title: aux filtres passe-bandes à fréquence programmable

Auteur: Moncef Djebbi
Author:

Date: 2004

Type: Mémoire ou thèse / Dissertation or Thesis

Référence: Djebbi, M. (2004). Compensation de la tension de décalage du CFOA et applications aux filtres passe-bandes à fréquence programmable [Master's thesis, École Polytechnique de Montréal]. PolyPublie.
Citation: <https://publications.polymtl.ca/7475/>

 **Document en libre accès dans PolyPublie**
Open Access document in PolyPublie

URL de PolyPublie: <https://publications.polymtl.ca/7475/>
PolyPublie URL:

**Directeurs de
recherche:**
Advisors:

Programme: Unspecified
Program:

UNIVERSITÉ DE MONTRÉAL

**COMPENSATION DE LA TENSION DE DÉCALAGE DU CFOA
ET APPLICATIONS AUX FILTRES PASSE - BANDES
À FRÉQUENCE PROGRAMMABLE**

MONCEF DJEBBI

DÉPARTEMENT DE GÉNIE ÉLECTRIQUE
ÉCOLE POLYTECHNIQUE DE MONTRÉAL

MÉMOIRE PRÉSENTÉ EN VUE DE L'OBTENTION DU DIPLÔME DE
MAÎTRISE ÈS SCIENCES APPLIQUÉES
(GÉNIE ÉLECTRIQUE)

AOÛT 2004



Library and
Archives Canada

Bibliothèque et
Archives Canada

Published Heritage
Branch

Direction du
Patrimoine de l'édition

395 Wellington Street
Ottawa ON K1A 0N4
Canada

395, rue Wellington
Ottawa ON K1A 0N4
Canada

Your file Votre référence

ISBN: 0-612-97940-7

Our file Notre référence

ISBN: 0-612-97940-7

NOTICE:

The author has granted a non-exclusive license allowing Library and Archives Canada to reproduce, publish, archive, preserve, conserve, communicate to the public by telecommunication or on the Internet, loan, distribute and sell theses worldwide, for commercial or non-commercial purposes, in microform, paper, electronic and/or any other formats.

The author retains copyright ownership and moral rights in this thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without the author's permission.

AVIS:

L'auteur a accordé une licence non exclusive permettant à la Bibliothèque et Archives Canada de reproduire, publier, archiver, sauvegarder, conserver, transmettre au public par télécommunication ou par l'Internet, prêter, distribuer et vendre des thèses partout dans le monde, à des fins commerciales ou autres, sur support microforme, papier, électronique et/ou autres formats.

L'auteur conserve la propriété du droit d'auteur et des droits moraux qui protègent cette thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

In compliance with the Canadian Privacy Act some supporting forms may have been removed from this thesis.

Conformément à la loi canadienne sur la protection de la vie privée, quelques formulaires secondaires ont été enlevés de cette thèse.

While these forms may be included in the document page count, their removal does not represent any loss of content from the thesis.

Bien que ces formulaires aient inclus dans la pagination, il n'y aura aucun contenu manquant.

UNIVERSITÉ DE MONTRÉAL

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

Ce mémoire intitulé:

**COMPENSATION DE LA TENSION DE DÉCALAGE DU CFOA
ET APPLICATIONS AUX FILTRES PASSE - BANDES
À FRÉQUENCE PROGRAMMABLE**

Présenté par: **DJEBBI MONCEF**

en vue de l'obtention du diplôme de: **Maîtrise ès sciences appliquées**

a été dûment accepter par le jury d'examen constitué de:

M. Jean - Jules Brault, Ph.D., président

M. Mohamad Sawan, Ph.D., membre et directeur de recherche

M. Christian Fayomi, Ph.D., membre

À ma famille

REMERCIEMENTS

Mes remerciements à tous ceux qui ont grandement contribué à la réalisation de ce mémoire par leurs supports et leurs encouragements constants. Un chaleureux remerciement spécial pour chaque membre de ma famille qui m'a donné autant de pouvoir afin de réussir ce projet de recherche.

Bien évidemment, je dois remercier le professeur Mohamad Sawan pour m'avoir offert la chance de réaliser ce projet. De plus, je tiens à remercier mes collègues de l'équipe POLYSTIM et du GRM, pour leur présence et leur support technique.

Finalement, je désire exprimer ma reconnaissance envers le Conseil de Recherche en Sciences Naturelles et en Génie Électrique "CRSNG" ainsi que la Société Canadienne de Microélectronique "CMC" pour le soutien matériel et logiciel.

RÉSUMÉ

La tendance à développer des circuits miniatures et à faible consommation d'énergie est en pleine croissance. Cela est dû au besoin d'améliorer les performances de dispositifs électroniques dédiées aux nombreuses applications telles que : la télécommunication, le biomédical, le traitement de signal, etc.

Ce projet de maîtrise concerne:

Premièrement, le développement et la conception en technologie *CMOS* d'un amplificateur opérationnel (ampop) à rétroaction en mode courant (*Current Feedback Operational Amplifier - CFOA*) avec un circuit de correction de la tension de décalage. Le circuit de compensation est autonome et engendre des effets négligeables sur les caractéristiques du *CFOA* tels que : la pente maximale de la tension de sortie, la bande passante, la distorsion harmonique, le gain *DC* et la consommation d'énergie. Le *CFOA* et le circuit de compensation sont intégrés sur le même substrat.

Deuxièmement, le circuit conçu dans la première partie de ce travail sera utilisé pour concevoir et intégrer dans un seul circuit une nouvelle architecture de filtre en technologie *CMOS*. Le filtre proposé est de type passe-bande à fréquence programmable et répond aux performances: pas et gain constant, faible niveau de bruit dans la bande passante ciblée. La variation de la fréquence s'effectue à l'aide d'un circuit numérique

qui est peu sensible aux erreurs du procédé de fabrication et présente des effets négligeables sur la performance du filtre.

Le *CFOA* avec compensation de la tension de décalage a été fabriqué en technologie *CMOS* 0.18 μm . Les résultats obtenus par simulation et par tests expérimentaux sont excellents et prouvent l'originalité des solutions proposées pour réduire la tension de décalage et varier la fréquence centrale du filtre passe-bande.

ABSTRACT

The tendency to develop miniature circuits and with low consumption of energy is in full growth. That is due to the needs to improve the electronic performances of devices dedicated to the many applications such as telecommunication, the biomedical and the signal processing, etc.

This project of master concerns:

First, the development and design in technology *CMOS* of an operational amplifier (*ampop*) with feedback in current (*Current Operational Feedback To amplify - CFOA*) with a circuit of correction of the tension of offset. The compensation circuit is autonomous and generates negligible effects on the characteristics of *the CFOA* such as: the maximum slope of the output voltage, the bandwidth, the harmonic distortion, gain *DC* and the consumption of energy. The *CFOA* and the compensation circuit are integrated on the same substrate.

Finally, the circuit designed in the first part of this work will be to use to conceive and integrate in only one circuit a new architecture of filter in technology *CMOS*. The band pass filter proposed is characterized by a programmable frequency and the performances: constant step and gain, low level of noise in the targeted bandwidth.

The frequency programming using a digital circuit that is not very sensitive to the errors generated by manufacturing process and characterized by negligible effects on the performance of the filter.

The *CFOA* with compensation of the tension of offset was manufactured in technology CMOS 0.18 μm . The results of simulation and experimental obtained are excellent and prove the originality of the suggested solutions to reduce the tension of offset and to vary the frequency of the band pass filter.

TABLE DES MATIÈRES

| | |
|--|-------|
| DÉDICACE | iv |
| REMERCEMENTS | v |
| RÉSUMÉ | vi |
| ABSTRACT..... | viii |
| TABLE DES MATIÈRES | x |
| LISTE DES FIGURES | xv |
| LISTE DES TABLEAUX..... | xviii |
| LISTE DES SYMBOLES ET DES ABRÉVIATIONS | xix |
| CHAPITRE 1 : INTRODUCTION..... | 1 |
| 1.1 Technologie et intégration | 1 |
| 1.2 Filtres intégrés programmables..... | 2 |
| 1.3 Amplificateurs opérationnels en mode courant | 3 |
| 1.4 Techniques de programmation des paramètres de filtre intégré | 4 |
| 1.5 Objectifs de recherche..... | 5 |
| 1.6 Contenu du mémoire..... | 6 |
| CHAPITRE 2 : AMPLIFICATEUR OPÉRATIONNEL À RÉTROACTION EN COURANT ET RÉCENT DÉVELOPPEMENT..... | 9 |

| | | |
|-------|---|----|
| 2.1 | Introduction..... | 9 |
| 2.2 | Caractéristiques de l'ampop..... | 10 |
| 2.3 | Ampop à rétroaction en courant..... | 10 |
| 2.3.1 | Architecture du CFOA..... | 11 |
| 2.3.2 | Pente maximale de la tension de sortie..... | 13 |
| 2.3.3 | Tension de décalage..... | 15 |
| 2.3.4 | Distorsion harmonique..... | 17 |
| 2.4 | Caractéristiques du CFOA et limites..... | 19 |
| 2.4.1 | Réponse en fréquence..... | 19 |
| 2.4.2 | Effets de la résistance de l'entrée négative..... | 22 |
| 2.4.3 | Linéarité de phase et stabilité..... | 24 |

CHAPITRE 3 : AMPLIFICATEUR À RÉTROACTION EN COURANT À TENSION

| | | |
|---------|---|----|
| | DE DÉCALAGE RÉDUITE..... | 38 |
| 3.1 | Introduction..... | 38 |
| 3.2 | CFOA en technologie CMOS..... | 39 |
| 3.2.1 | Analyse de la tension de décalage du CFOA..... | 39 |
| 3.2.2 | Effets de la tension de décalage..... | 42 |
| 3.3 | Compensation de la tension de décalage du CFOA..... | 44 |
| 3.3.1 | Schéma du principe de la compensation..... | 44 |
| 3.3.2 | Circuit de compensation proposée..... | 46 |
| 3.3.2.1 | Circuit de moyenne..... | 47 |

| | |
|---|----|
| 3.3.2.2 Circuits soustracteurs analogiques..... | 47 |
| 3.3.3 Considérations pratiques de conception..... | 48 |
| 3.3.3.1 Dessins des masques..... | 49 |
| 3.3.3.2 Effets de bruits et réponse en fréquence du circuit de compensation..... | 50 |
| 3.4 Description du CFOA en technologie CMOS | 53 |
| 3.4.1 Polarisation de l'étage d'entrée..... | 53 |
| 3.4.2 Polarisation de l'étage d'amplification | 54 |
| 3.4.3 Sources de bruits et leurs effets | 55 |
| 3.5 Conception d'intégrateurs basés sur le CFOA..... | 57 |
| 3.6 Conclusion | 59 |
| CHAPITRE 4 : FILTRE PASSE – BANDE À FRÉQUENCE PROGRAMMABLE | 60 |
| 4.1 Introduction..... | 60 |
| 4.2 DESIGN OF MONOLITHIC TUNABLE CMOS BAND - PASS FILTER USING CURRENT FEEDBACK OPERATIONAL AMPLIFIERS | 61 |
| 4.2.1 Introduction..... | 63 |
| 4.2.2 Offset compensated CFOA | 64 |
| 4.2.2.1 The CFOA circuit analysis..... | 64 |
| 4.2.2.2 Simulation and experimental results of the CFOA | 67 |
| 4.2.3 CFOA-based tunable band-pass filter | 68 |
| 4.2.3.1 Filter configuration | 68 |

| | |
|---|--------|
| 4.2.3.2 On-chip digital tuning circuit..... | 71 |
| 4.2.4 The filter simulation results | 74 |
| 4.2.5 Conclusion | 74 |
| REFERENCES | 76 |
| LIST OF FIGURES | 78 |
| LIST OF TABLES..... | 86 |
| 4.3 Conclusion | 89 |
| CHAPITRE 5 : ANALYSES DES RÉSULTATS COMPLÉMENTAIRES DU CFOA ET DU FILTRE | 90 |
| 5.1 Introduction..... | 90 |
| 5.2 Caractéristiques du CFOA avec compensation..... | 90 |
| 5.2.1 Taux de rejet de la tension d'alimentation..... | 91 |
| 5.2.2 Taux de rejet du mode commun..... | 92 |
| 5.2.3 Pente de la tension de sortie..... | 92 |
| 5.2.4 Plage de la tension de sortie..... | 93 |
| 5.2.5 Bruit reflété à l'entrée | 95 |
| 5.2.6 Résistances et effets | 95 |
| 5.2.7 Tension de décalage..... | 96 |
| 5.2.8 Résultats de la distorsion d'amplitude | 97 |
| 5.2.9 Caractéristiques en boucle fermée | 100 |

| | | |
|--|--|-----|
| 5.3 | Caractéristiques du circuit de compensation..... | 100 |
| 5.3.1 | Densité du bruit et effets..... | 101 |
| 5.3.2 | Caractéristiques statiques..... | 103 |
| 5.3.3 | Techniques de dessins des masques..... | 105 |
| 5.4 | Filtre passe – bande programmable | 106 |
| 5.4.1 | Réponse en fréquence | 106 |
| 5.4.2 | Retard de groupe | 107 |
| 5.4.3 | Distorsion harmonique du filtre | 111 |
| 5.4.4 | Analyse de la densité du bruit..... | 112 |
| 5.5 | Conclusion | 114 |
| CHAPITRE 6 : DISCUSSION GÉNÉRALE ET TRAVAUX FUTURS | | 115 |
| 6.1 | Discussion générale | 115 |
| 6.2 | Travaux futurs..... | 116 |
| RÉFÉRENCES | | 118 |

LISTE DES FIGURES

| | |
|---|----|
| Figure 2.1. CFOA en technologie bipolaire..... | 12 |
| Figure 2.2. Réponse temporelle d'Ampop..... | 14 |
| Figure 2.3. Modèle simplifié du CFOA..... | 19 |
| Figure 2.4. Réponse idéale en fréquence : a) CFOA, b) VFOA..... | 22 |
| Figure 2.5. Réponse fréquentielle du CFOA en fonction de..... | 24 |
| Figure 2. 6. Étage d'entrée d'un CFOA: a) source suiveur complémentaire, b) source suiveur complémentaire cascade..... | 27 |
| Figure 2. 7. CFOA avec correction du courant de polarisation | 28 |
| Figure 2. 8. CFOA avec réduction de la tension de décalage | 29 |
| Figure 2.9. Intégrateur RC | 32 |
| Figure 2.10. Intégrateur ajustable : a) Circuit à MOSFET RC, b) Caractéristiques du MOSFET..... | 34 |
| Figure 2.11. Ampop MOSFET RC programmable..... | 35 |
| Figure 2.12. Filtre passe-bande de 4 ^{ème} ordre | 36 |
| Figure 3.1. Schéma simplifié du CFOA..... | 41 |
| Figure 3.2. Principe de compensation du CFOA | 45 |
| Figure 3.3. Circuit de compensation du CFOA | 48 |
| Figure 3.4. Sources de bruits dans le circuit de compensation | 52 |
| Figure 3.5. Schéma du CFOA en CMOS..... | 55 |

| | |
|--|----|
| Figure 3.6. Intégrateur à entrée simple: a) inverseur, b) non - inverseur..... | 58 |
| Figure 3.7. Intégrateur à entrée différentielle | 58 |
| Figure 4.1 The offset compensated CFOA circuit..... | 79 |
| Figure 4.2 Stabilization of the compensated CFOA | 79 |
| Figure 4.3 Voltage noise versus frequency of the CFOA..... | 80 |
| Figure 4.4 Frequency response of the CFOA | 80 |
| Figure 4.5 The CFOA offset voltage | 81 |
| a) Simulation results; | |
| b) Experimental results. | |
| Figure 4.6 The CFOA microphotograph..... | 82 |
| Figure 4.7 Circuit symbol of the CFOA | 82 |
| Figure 4.8 The proposed tunable band-pass filter..... | 82 |
| Figure 4.9 AC equivalent model of the proposed filter circuit..... | 83 |
| Figure 4.10 The digital tuning circuit | 83 |
| Figure 4.11 Center frequency tuning of the band-pass filter | 85 |
| a) Magnitude. | |
| b) Phase. | |
| c) Voltage noise versus frequency. | |
| Figure 5.1. Simulation du PSRR du CFOA | 93 |
| Figure 5.2. Simulation des résistances R_n , R_o et R_z du CFOA..... | 95 |

| | |
|---|-----|
| Figure 5.3. Résultats de la tension de décalage du CFOA..... | 96 |
| Figure 5.4. Distorsion harmonique: a) simulée sans compensation, b) simulée avec compensation, c) mesurée avec compensation. | 99 |
| Figure 5.5. Caractéristique en boucle fermée du CFOA..... | 101 |
| Figure 5.6. Densité spectrale du bruit du circuit de compensation..... | 102 |
| Figure 5.7. Densité spectrale du bruit du CFOA | 103 |
| Figure 5.8. Réponse <i>DC</i> du circuit <i>V_{nr}</i> | 104 |
| Figure 5.9. Réponse <i>DC</i> du circuit de compensation..... | 105 |
| Figure 5.10. Dessin des masques du circuit de moyenne | 106 |
| Figure 5.11. Groupe de délai en fonction de la fréquence | 109 |
| Figure 5.12. Distorsion de phase dans la bande passante du filtre | 110 |
| Figure 5.13. Bruit moyen dans la bande passante du filtre..... | 113 |

LISTE DES TABLEAUX

| | |
|---|-----|
| Tableau 2.1. Types d'amplificateurs opérationnels | 11 |
| Table 4.1 Harmonic distortion of the CFOA | 86 |
| Table 4.2 The simulated and measured results of the CFOA | 87 |
| Table 4.3 Voltage noise of the filter Harmonic distortion of the CFOA | 88 |
| Table 4.4 Programming the band-pass filter..... | 88 |
| Tableau 5.1. Caractéristiques du <i>CFOA</i> proposé | 94 |
| Tableau 5.2. Distorsion harmonique du CFOA | 98 |
| Tableau 5.3. Caractéristiques du CFOA en boucle fermée..... | 100 |
| Tableau 5.4. Retard de groupe dans la bande passante..... | 109 |
| Tableau 5.5. Distorsion d'amplitude du filtre | 111 |
| Tableau 5.6. Densité du bruit en fonction de la fréquence | 113 |

LISTES DES SYMBOLES ET DES ABRÉVIATIONS

SYMBOLES

| | |
|----------|--|
| A_{cl} | Gain en boucle fermée du CFOA (dB) |
| A_{cp} | Gain du soustracteur N (dB) |
| A_{cn} | Gain du soustracteur P (dB) |
| A_m | Gain du circuit de moyenne (dB) |
| A_{ol} | Gain en boucle ouverte du CFOA (dB) |
| A_{vb} | Gain en tension du tampon (dB) |
| A_1 | Gain de l'amplificateur classe A (P) en (dB) |
| A_2 | Gain de l'amplificateur classe A (N) en (dB) |
| B | Gain de rétroaction d'un système (dB) |
| BW | Bande passante (Hz) |
| C_c | Capacité de compensation (μF) |
| $CMRR$ | Taux de rejet du mode commun (dB) |
| C_{ox} | Capacité grille (F/m^2) |
| C_z | Capacité parasite (μF) |
| dB | Décibel |
| F_c | Fréquence de coupure (Hz) à -3 dB |
| F_m | Fréquence centrale (Hz) |

| | |
|------------|--|
| F_{\max} | Fréquence maximale (Hz) |
| F_u | Fréquence à gain unitaire (Hz) |
| F_l | Fréquence de coupure inférieure (Hz) |
| g_{ds} | Résistance drain source (Ω) |
| g_m | Transconductance ($\mu A/V$) |
| HD_2 | Distorsion harmonique |
| $H(s)$ | Fonction de transfert |
| H_I | Fonction de transfert d'intégrateur |
| H_{ID} | Fonction de transfert d'intégrateur différentiateur |
| Hz | Unité de mesure de la fréquence |
| H_1, H_2 | Premier et deuxième harmonique d'un signal (mV) |
| I_{cn} | Courant DC (μA) générer par un transistor NMOS (μA) |
| I_{cp} | Courant DC (μA) générer par un transistor PMOS (μA) |
| I_{er} | Courant d'erreur (μA) de l'entrée inveseuse du CFOA (μA) |
| I_p | Courant DC (μA) générer par un transistor PMOS (μA) |
| I_n | Courant DC (μA) générer par un transistor NMOS (μA) |
| I_m | Courant moyenne (μA) |
| I_{ss} | Courant de polarisation (μA) |
| I_x | Courant de l'entrée V_x du convoyeur de courant (μA) |
| I_y | Courant de l'entrée inveseuse du convoyeur de courant (μA) |

| | |
|----------------|---|
| I_z | Courant de l'étage de transimpédance (μA) |
| I_1 | Courant générer par la tension non inverseuse du CFOA (μA) |
| I_2 | Courant générer par la tension V_{nr} du CFOA (μA) |
| k | Gain en tension (dB) |
| k_B | Constante de Boltzmann |
| k_p | Constante du procédé de fabrication |
| Q | Facteur de qualité |
| R | Résistance (Ω) |
| R_{cp} | Résistance de sortie du soustracteur (S1) (Ω) |
| R_{cn} | Résistance de sortie du coustracteur (S2) (Ω) |
| R_m | Résistance de sortie du circuit de moyenne (Ω) |
| R_s | Résistance équivalente d'un interrupteur en MOS (Ω) |
| R_n | Résistance de l'entrée inverseuse du CFOA (Ω) |
| R_z | Résistance de sortie au nœud Z (Ω) |
| R_{o1} | Résistance de sortie du nœud V_1 (Ω) |
| R_{o2} | Résistance de sortie au nœud V_2 (Ω) |
| s | Opérateur de Laplace |
| SR | Taux maximal de la tension de sortie (V/ μS) |
| $PSRR$ | Taux de rejet de l'alimentation (dB) |
| $T(j\omega_0)$ | Gain à fréquence centrale (dB) |

| | |
|------------|--|
| V_m | Tension moyenne (V) |
| V_{thn} | Tension de seuil pour NMOS (mV) |
| V_{thp} | Tension de seuil pour PMOS (mV) |
| V_{th} | Tension de seuil du transistor PMOS ou NMOS (mV) |
| V_{cp} | Tension DC de polarisation (V) |
| V_{cn} | Tension DC de polarisation (V) |
| V_{pp} | Tension Peak to Peak (V) |
| V_{nr} | Copie de la tension inverseuse du CFOA (V) |
| V_1, V_2 | Tension de polarisation DC de l'étage d'entrée du CFOA (V) |
| V_3, V_4 | Tension de polarisation DC du miroir CMP et CMN (V) |
| V_g | Tension appliquer sur la grille d'un transistor MOS (V) |
| V_{os} | Tension de décalage (mV) |
| V_{gsp} | Tension grille source pour PMOS (V) |
| V_{gsn} | Tension grille source pour NMOS (V) |
| V_n | Tension inverseuse (V) |
| V_p | Tension non – inverseuse (V) |
| V_x | Tension non – inverseuse du convoyeur de courant (V) |
| V_y | Tension inverseuse du convoyeur de courant en (V) |
| ω_0 | Fréquence centrale (Hz) |
| W, L | Largeur et longueur du canal d'un transistor MOS (μm) |

| | |
|-------------------------|---|
| $\overline{V_{n,m}^2}$ | Tension du bruit du circuit de moyenne (V^2/Hz) |
| $\overline{V_{n,cp}^2}$ | Tension du bruit du soustarcteur P (V^2/Hz) |
| $\overline{V_{n,cn}^2}$ | Tension du bruit du soustracteur N (V^2/Hz) |
| $\overline{V_{n,1}^2}$ | Tension du bruit au nœud V_1 du CFOA (V^2/Hz) |
| $\overline{V_{n,2}^2}$ | Tension du bruit au nœud V_2 du CFOA (V^2/Hz) |
| μ_n, μ_p | Mobilité des porteurs de type n et p respectivement ($m^2/V.s$) |
| β | Conductane du transistor MOS ($\mu A/V^2$) |
| $1/f$ | Flicker noise ($\mu A/V^2$) |
| ϕ | Phase en degré |
| τ | Groupe de délai en seconde |
| ΔV_{th} | Variation de la tension de seuil du transistor MOS (mV) |
| $\Delta\beta$ | Variation de la conductance du transistor MOS ($\mu A/V^2$) |

ABRÉVIATIONS

| | |
|--------------------|----------------------------|
| <i>AMPOP</i> | Amplificateur Opérationnel |
| <i>C_MOY</i> | Circuit de moyenne |
| <i>CLASSE – A</i> | Amplificateur de type A |
| <i>CLASSE – AB</i> | Amplificateur de type AB |

| | |
|-----------------------|--|
| <i>CMP , CMN</i> | Miroir de courant de type P et de type N |
| <i>CFOA</i> | Current Feedback Operational Amplifier |
| <i>CMRR</i> | Taux de rejet du mode commun |
| <i>DFT</i> | Discrete Fourier Transform |
| <i>FFT</i> | Fast Fourier Transform |
| <i>GBW</i> | Produit gain bande passante |
| <i>GM – C</i> | Intégrateur transconductance - capacité |
| <i>HD₂</i> | Harmonic distortion |
| <i>MOS</i> | Metal Oxyde Semiconductor |
| <i>MIC</i> | Monolithic integrated circuit |
| <i>NMOS</i> | Transistor de type N |
| <i>SR</i> | Slew rate |
| <i>S1</i> | Soustracteur analogique (P) |
| <i>S2</i> | Soustracteur analogique (N) |
| <i>PSRR</i> | Taux de rejet de l'alimentation |
| <i>PMOS</i> | Transistor de type P |
| <i>OLG</i> | Gain en boucle ouverte |
| <i>UGBW</i> | Fréquence de coupure à Gain unitaire |
| <i>VFOA</i> | Voltage Feedback Operational Amplifier |

CHAPITRE 1

INTRODUCTION

1.1 Technologie et intégration

La conception des circuits analogiques a toujours été conditionnée, voire même gênée, par les limitations du procédé de fabrication. Dans un monde guidé par le développement technologique rapide, la tendance actuelle est à la miniaturisation des circuits électroniques existants et/ou d'apporter les modifications nécessaires afin d'améliorer leur rendement statique et dynamique. En effet, en réduisant la tension d'alimentation on obtient des circuits qui peuvent atteindre des fréquences très élevées dans le domaine numérique et analogique, mais avec quelques inconvénients pour les circuits analogiques par exemple, réduction de la plage de tension de sortie d'un *ampop*. Ceci impose donc une phase de conception rigoureuse du circuit souhaité. Cette phase doit en plus permettre la prédiction des performances du circuit électronique réalisé afin de vérifier qu'elles répondent aux spécifications désirées (faible bruit, distorsion d'amplitude, etc.). Il en est de même pour les applications nécessitant l'utilisation de filtres analogiques intégrés programmables. Certes, la conception des filtres opérant à haute fréquence dans les circuits intégrés monolithiques (*MIC*) est limitée par différents facteurs qui dépendent

de l'architecture employée, du type des amplificateurs opérationnels (*CFAO*, *VFOA* *OTA* etc.) et des imperfections du procédé de fabrication.

1.2 Filtres intégrés programmables

Au fil des ans, plusieurs techniques de conception de filtres intégrés monolithiques à fréquence programmable par exemple, ont été développées pour répondre aux besoins grandissants de certaines applications. La réalisation de circuit monolithique offre un meilleur rendement en fréquence versus la puissance consommée et la surface du silicium.

En effet, une première catégorie de filtres, composés par des circuits à condensateurs commutés ou encore à courants commutés, est limitée à des fréquences peu élevées. Elle offre une meilleure précision, mais nécessite un circuit de variation de fréquence complexe et sensible au bruit de l'échantillonnage [32]. Une deuxième catégorie de filtres composée par des intégrateurs de type «*GM-C* ». Ce type de filtres à précision modérée, offre la possibilité de varier la fréquence, mais souffre des limites imposées par les éléments parasites qui ne peuvent être éliminés par aucune technique connue [23]. Une dernière catégorie de filtres, composée d'intégrateurs à amplificateur opérationnel, se distingue par rapport aux deux précédentes catégories par une meilleure précision de la variation de fréquence et une faible consommation d'énergie. L'*ampop* nécessaire doit répondre aux critères suivants : tension de décalage nul, faible bruit et taux de distorsion

harmonique, et large bande passante [12]. De plus, l'architecture de l'*ampop* doit être moins sensible aux erreurs du procédé de fabrication et doit répondre aux critères du filtre tels que : gain et bande passante constants, etc.

1.3 Amplificateurs opérationnels en mode courant

Récemment, la conception de filtres analogiques utilisant des intégrateurs en mode courant a acquis une grande popularité due aux bonnes performances offertes par les amplificateurs en mode courant (*Current Feedback Operational Amplifier - CFOA*) [13]. Les *CFOAs* opèrent à des fréquences élevées avec un faible niveau de bruit, taux de distorsion harmonique, pente de tension de sortie très élevée, puissance consommée et une meilleure linéarité de phase que ces concurrents opérant en mode tension (*Voltage Feedback Operational Amplifier - VFOA*). Cependant, il souffre d'une tension de décalage due à la difficulté de concevoir des transistors identiques (appariement) dans l'étage d'entrée de l'*ampop* [3]. En effet, nous retrouvons dans la littérature plusieurs travaux proposés pour réduire la tension de décalage de ce circuit [1], [18]. Ces travaux ne répondent pas aux critères requis pour concevoir de filtres à large bande programmable en technologie à faible alimentation (1.8 V par exemple) et destinés à des applications de plus en plus exigeantes en ce qui a trait au niveau de bruit, taux de distorsion harmonique et occupe peu de surface de silicium. Ces contraintes, imposent aux concepteurs de circuit analogique de faire l'évaluation des solutions possible pouvant réduire la tension de décalage du *CFOA* tout en respectant les critères du filtre.

Dans le cadre de ce mémoire, nous proposons une nouvelle technique de réduction de la tension de décalage du *CFOA*. Elle est indépendante de la technologie (*CMOS* ou bipolaire) qui se caractérise par un fonctionnement autonome et un effet négligeable sur les performances du *CFOA*. Le *CFOA* obtenu est ensuite utilisé pour concevoir un filtre passe-bande à fréquence programmable [9]. La variation de la fréquence se fait à l'aide d'un circuit numérique par pas constant. L'architecture du filtre que nous proposons et la méthode de contrôle sont peu sensibles aux erreurs du procédé de fabrication.

1.4 Techniques de programmation des paramètres de filtre intégré

La majorité des techniques de réduction de consommation ont porté sur la diminution de la consommation dynamique, soit les charges et décharges des capacités parasites, la réduction de la tension de seuil et de l'alimentation. Ils ont pour effet, une consommation statique, résultant des courants de fuite des transistors, était négligeable par rapport aux consommations dynamiques. En effet avec l'arrivée des technologies submicroniques par exemple, $0.18\mu\text{m}$, la consommation statique a pris de l'importance, au point de devenir aujourd'hui un problème majeur pour certaines applications [29] telles que : biomédical, télécommunication à haut débit, etc.

Les techniques utilisées pour varier un ou plusieurs paramètres d'un filtre sont soumises à plusieurs critères de sélection. Ils dépendent de la topologie du filtre, type de signal

(audio, vidéo, etc.), mode de contrôle numérique ou analogique, et enfin de l'environnement de l'application.

La majorité des techniques existantes privilégient une approche de contrôle de transconductance par tension ou par courant. Cette méthode souffre d'une consommation d'énergie et de surface de silicium importante, qui contraint le champ d'application de ce type de filtre.

Dans le cadre de ce mémoire, nous proposons une approche différente que celle utilisée pour des filtres réalisés à l'aide des amplificateurs en mode tension ou en mode transconductance. Notre approche consiste à activer un seul commutateur pour chaque résistance, ceci se traduira par un gain en puissance statique et dynamique.

1.5 Objectifs de recherche

L'objectif principal de ce mémoire est le développement d'un filtre actif à fréquence programmable répondant aux critères de performance très pointus : rapidité, précision, faible niveau de bruit, faible taux de distorsion d'amplitude, faible consommation d'énergie et de surface de silicium. Pour répondre aux critères requis, à la conception et à l'intégration des filtres à larges bandes, le *CFOA* est l'amplificateur qui répond le mieux à ces critères. Le filtre devrait fonctionner dans une plage de fréquences allant de 60 MHz à 95 MHz. Nous accordons une attention particulière au choix de l'architecture du filtre

qui permet de programmer la fréquence centrale par un pas constant sans toutefois affecter sa bande passante et son gain.

Le filtre recherché devrait être moins sensible aux erreurs du procédé de fabrication *CMOS* 0.18 μm , pour atteindre cet objectif, nous employons la technique permettant la réalisation des composantes géométriquement identiques (*matching*).

Le circuit de compensation que nous proposons dans le cadre de ce mémoire de recherche se distingue par un effet négligeable sur les performances dynamiques et statiques du *CFOA*, faible complexité et large plage de correction de la tension de décalage. Alors que, le circuit de programmation de la fréquence du filtre est caractérisé par une complexité modérée, faible consommation en puissance statique et dynamique et se prête bien à l'une des techniques de conception des composants identiques.

1.6 Contenu du mémoire

Ce mémoire est constitué principalement de cinq chapitres.

Le premier chapitre est une introduction, dans laquelle nous avons discuté des avantages et limites de la technologie submicronique dans le domaine analogique, des filtres actifs programmables, des mérites de l'amplificateur en mode courant et de la problématique de

sa tension de décalage. Finalement, nous présentons les objectifs de ce mémoire de recherche.

Le deuxième chapitre consiste en une revue des amplificateurs à rétroaction en mode courant, des techniques utilisées pour réduire leur tension de décalage. De plus, les architectures disponibles de filtres actifs intégrés utilisant l'amplificateur à rétroaction en mode courant, ainsi que les techniques de programmation de leur fréquence centrale seront élaborées. Au terme de ce chapitre, nous serons en mesure de distinguer les avantages des circuits en mode courant.

Dans le troisième chapitre, nous analyserons l'origine et les effets de la tension de décalage sur la performance statique et dynamique d'un amplificateur opérationnel tout en mettant l'accent sur le *CFOA*. Nous présenterons ensuite une nouvelle architecture de compensation de la tension de décalage sans que celle-ci ne dégrade les caractéristiques du *CFOA* : Gain *DC*, produit gain bande passante, faible bruit et distorsion harmonique. Ensuite, nous proposerons deux intégrateurs en mode courant *CFOA_MOSFET_RC* conçus autour d'un *CFOA* avec variation de sa fréquence.

Le quatrième chapitre fera l'objet d'un article accepté pour publication dans le journal Kluwer « *Analog Integrated Circuit And Signal Processing* ». Dans ce chapitre, nous proposons un filtre passe-bande à fréquence centrale programmable. Cette nouvelle architecture est composée d'intégrateurs *CFOA_MOSFET_RC*, la variation de la

fréquence est obtenue par des résistances ajustables numériquement. La technique proposée est choisie de façon à minimiser les erreurs dues au procédé de fabrication. Des résultats de simulation et expérimentaux du *CFOA* avec compensation de la tension de décalage et du filtre seront présentés.

Dans le cinquième chapitre, des résultats supplémentaires sur l'amplificateur en mode courant et le filtre seront présentés pour documenter davantage l'originalité de ce travail. Le circuit de compensation de la tension de décalage du *CFOA* et le circuit de contrôle de la fréquence du filtre sont analysés en fonction des résultats obtenus.

Enfin, dans le dernier chapitre, nous présentons une discussion générale sur l'ensemble du travail réalisé dans ce projet de recherche. Pour conclure ce mémoire, on propose des idées d'améliorations des caractéristiques du *CFOA* et du filtre.

CHAPITRE 2

AMPLIFICATEUR OPÉRATIONNEL À RÉTROACTION EN COURANT ET RÉCENT DÉVELOPPEMENT

2.1 Introduction

L'amplificateur opérationnel (*ampop*) est une composante fondamentale pour la réalisation de fonctions analogiques ou mixtes. Depuis l'apparition du premier *ampop* intégré, l'amélioration de ces performances ne cesse de croître par l'amélioration de l'architecture et de la technologie.

Le premier *ampop* réalisé est un amplificateur à rétroaction en tension (*Voltage Feedback Operational Amplifier - VFOA*), qui ne répond pas à certaines spécifications. Par exemple, linéarité de phase, faible taux de distorsion harmonique, pente maximale de tension et une bande passante constante et indépendante du gain. Ces spécifications sont nécessaires pour réaliser des circuits dédiés aux applications de traitement de signal et de télécommunications. En effet, l'amplificateur à rétroaction en courant (*Current Feedback Operational Amplifier - CFOA*) a été proposé pour satisfaire ces critères et spécifications.

Nous exposons dans les prochaines sections les caractéristiques statiques, dynamiques de deux types d'*ampop* et nous donnons une revue de littérature sur les travaux de recherches récents dans ce domaine. Nous proposons aussi, une revue de quelques architectures d'intégrateurs ajustables.

2.2 Caractéristiques de l'*ampop*

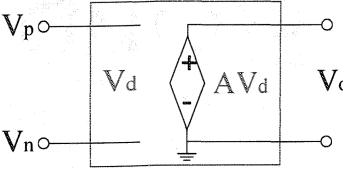
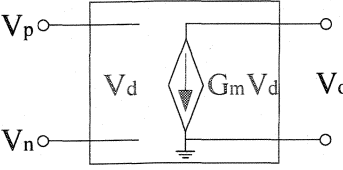
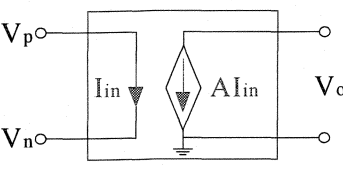
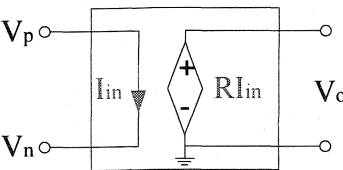
L'*ampop* idéal est caractérisé par une impédance d'entrée infinie, celle de sortie nulle, un gain *DC* infini, une bande passante infinie, une tension de décalage nulle et un niveau de bruit nul. Le modèle de ce dernier est intéressant pour étudier la plupart des montages à basse fréquence. Cependant, le modèle idéal ne suffit plus pour analyser des circuits analogiques fonctionnant à haute fréquence.

Un *ampop* idéal est modélisé par une source de courant/tension commandée par une source de courant/tension. Le tableau 2.1 résume les quatre types d'*ampop* et leurs modes de fonctionnement.

2.3 *Ampop* à rétroaction en courant

Le *CFOA*, ou amplificateur de transimpédance, a été largement analysé par plusieurs chercheurs [15] [13]. Dans la section suivante nous rappelons l'architecture générale de l'*ampop*, les paramètres qui le distinguent de son concurrent le *VFOA*.

Tableau 2.1. Types d'amplificateurs opérationnels

| MODÈLE IDEAL | TYPE | ENTRÉE | SORTIE | GAIN |
|---|------------------|--------|--------|-------|
|  | Tension | V | V | A_v |
|  | Transconductance | V | I | G_m |
|  | Courant | I | I | A_i |
|  | Transimpédance | I | V | R_m |

2.3.1 Architecture du CFOA

La figure 2.1 présente le schéma d'un *CFOA* en technologie bipolaire. Il est composé par trois étages:

Étage d'entrée. Il est composé par un amplificateur classe *AB* qui réunit les propriétés suivantes : faible impédance d'entrée V_n (idéalement nulle), impédance d'entrée V_p très élevée (idéalement infinie), gain en tension unitaire. Il se caractérise aussi par, un faible

taux de distorsion harmonique, qui est dû à la symétrie de la topologie; pour chaque transistor npn il y a un transistor pnp [4] [21]. Il a pour rôle de transférer la tension qui se trouve à son entrée V_p à l'entrée V_n .

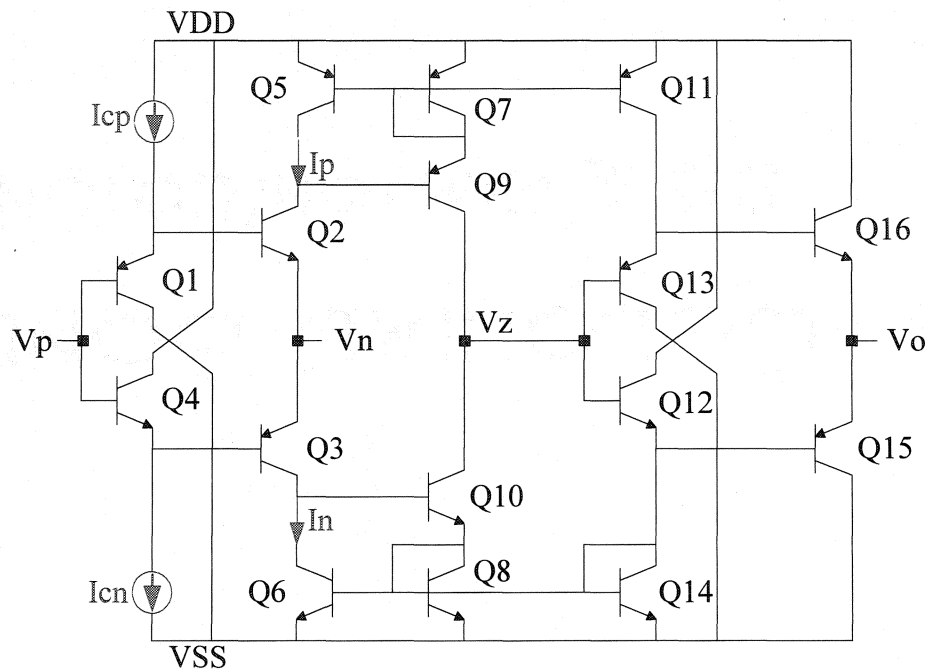


Figure 2.1. CFOA en technologie bipolaire

Étage de gain. C'est un étage à transimpédance et constitué par deux miroirs de courant. Le courant de déséquilibre ($I_p - I_n = I_{er}$) est convoyé par les deux miroirs de courant ($I_Z = I_{er}$) au nœud V_z pour être converti ensuite en une tension. Pour atteindre une meilleure performance dynamique et statique de l'étage de gain, il faut considérer des miroirs de courant de type Wilson ou ceux de type cascode. Ils offrent une large bande passante, gain élevé et un faible taux de distorsion harmonique qui présente un facteur important pour certaines applications [6].

Étage de sortie. Il est composé par un amplificateur classe AB , pour transporter l'amplitude du nœud Z à la sa sortie avec un gain en tension unitaire ($V_o = A_{vb}V_z$). Il a les mêmes caractéristiques dynamiques et statiques que l'étage d'entrée.

2.3.2 Pente maximale de la tension de sortie

La pente maximale de la tension (*Slew rate* - SR) est améliorée par la topologie du $CFOA$. Elle est proportionnelle au taux aux quels les deux transistors ($Q9, Q10$) peuvent charger le condensateur de compensation C_c (nœud V_z). Le courant généré par ces transistors est dynamique, il n'est limité à aucune valeur fixe comme c'est le cas dans les architectures de $VFOA$. Au premier ordre, il n'y a aucune limite de taux de groupe dans cette topologie. Une large bande et une pente de tension de sortie très élevée permettent à des dispositifs de $CFOA$ d'avoir une distorsion harmonique respectable tout en dissipant une puissance inférieure à ces concurrents.

Cependant, les limites surviennent seulement par les capacités parasites des transistors qui composent l'étage d'entrée et beaucoup de travaux en technologie bipolaire ont été faits pour réduire leurs effets.

Le SR d'un $CFOA$ est donné par :

$$SR = \frac{dv(t)}{dt} = \frac{I_z}{C_z} \quad 1.1$$

C_z représente la capacité parasite vue au nœud V_z .

Pour un signal sinusoïdal ayant une pente inférieure ou égale à la pente maximale de la tension maximale, il n'y a pas d'effet et le signal de sortie ne subit pas une distorsion d'amplitude. Cependant, lorsque la pente du signal sinusoïdal est supérieure à la pente maximale de la tension, alors il y a une distorsion d'amplitude du signal.

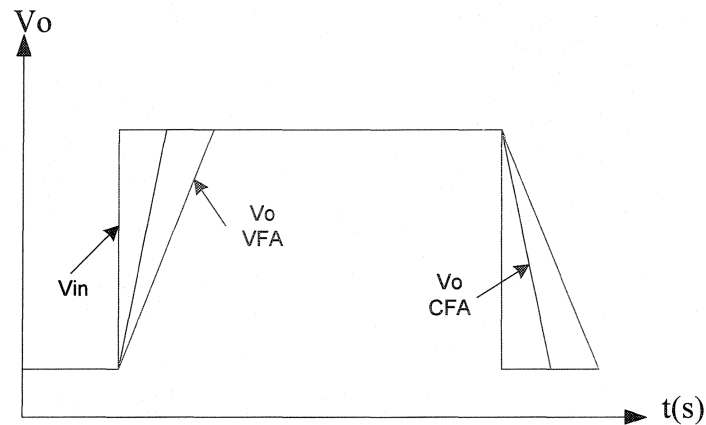


Figure 2.2. Réponse temporelle d'Ampop

La fréquence d'un signal sinusoïdal en fonction de la pente maximale est déterminée par l'équation (2.2):

$$F_{\max} = \frac{SR}{2\pi V_{pp}} \quad 2.2$$

Pour que le signal de sortie ne subisse une distorsion d'amplitude (Équ.2.2), il y a deux solutions envisageables. La première, consiste en une diminution de la fréquence ou de

l'amplitude du signal d'entrée et la deuxième une augmentation de la pente maximale de la tension SR en augmentant le courant I_z (Équ.2.1).

On note selon la figure 2.2 que la réponse à un échelon du $CFOA$ est plus rapide que celle du $VFOA$. Car le SR de ce dernier dépend du courant de polarisation et de la valeur de la capacité de compensation.

2.3.3 Tension de décalage

L'étage d'entrée du $CFOA$, classe AB , offre plusieurs avantages, mais cette topologie présente une difficulté aux concepteurs d'implémenter les couples de transistors $Q1/Q2$ et $Q3/Q4$ géométriquement identiques. Ces contraintes jumelées aux imperfections du procédé de fabrication et la distribution de la température engendrent une différence de tension entre V_p et V_n . Cette différence représente la tension de décalage et elle est déterminée par l'équation (2.3) :

$$V_p - V_n = V_{BE}(P) - V_{BE}(N) \quad 2.3$$

Les imperfections du procédé de fabrication sont en général dues à la limite de résolution de la photolithographie qui ne garantit pas l'exactitude des dimensions (W/L) des transistors similaires, vieillissement des composantes, dégradation de l'épaisseur de l'oxyde, variation de la concentration de la densité des impuretés, irrégularités des

profondeurs de dopage, et l'asymétrie de la distribution de température. Toutes ces contraintes résultent en une variation des paramètres électriques des transistors tels que : la conductance, la tension de seuil et la longueur de modulation, etc.

La tension de décalage est une composante d'erreur *DC*, elle a plusieurs effets sur les performances statiques et dynamiques de l'*ampop*:

Le premier est la réduction de la plage dynamique de sortie et le déplacement de la symétrie *DC* à la sortie. Cette diminution provoque une distorsion d'amplitude du signal (compression et décompression), qui est un facteur déterminant dans plusieurs applications destinées au traitement des signaux analogiques audio et vidéo.

Le deuxième est la difficulté d'utiliser l'amplificateur avec un signal à faible fréquence, car le signal dans ce cas est considéré comme un signal continu *DC*.

Les derniers effets sont la variation du gain et de la fréquence de coupure pour les quelles l'amplificateur a été configuré. Cette variation est due à une diminution ou une augmentation du courant de l'étage de gain. Il peut être un étage de gain en tension ou de gain en courant. La variation de la fréquence de coupure engendre deux états imprévus de fonctionnement du circuit:

- Déplacement de la fréquence de coupure vers une valeur supérieure, alors on se trouve avec une bande passante supérieure à celle prévue. Dans cette situation, les signaux ayant des fréquences non désirées seront traités comme des signaux porteurs de l'information utile.
- Si la fréquence de coupure est inférieure à la fréquence maximale du signal appliqué à l'entrée de l'*ampop*, ce dernier sera atténué. Une conséquence directe de cette situation est la perte de l'information que transporte le signal en question.

Il faut noter que ce problème se présente de la même manière pour un *CFOA* en technologie *CMOS*.

2.3.4 Distorsion harmonique

La distorsion harmonique d'un amplificateur opérationnel dépend de la rapidité du *SR* en boucle fermée, la symétrie de la topologie des étages qui le composent et la tension de décalage V_{os} . La distorsion harmonique se classe principalement en deux catégories : distorsion d'amplitude et distorsion de fréquence. Tous ces phénomènes contribuent à la création de nouvelles harmoniques qui n'existaient pas dans le signal d'entrée. Alors on parle d'un fonctionnement non linéaire et la tension de sortie n'est plus une réplique amplifiée de la tension d'entrée. Une analyse fréquentielle nous montre l'effet de la composante *DC* sur le signal de sortie. Ce signal contient une composante continue, une

composante fondamentale et des harmoniques supérieures qui indiquent la nocivité de la distorsion.

La distorsion de fréquence est distincte de la distorsion non linéaire, elle peut survenir en fonctionnement en petits signaux; c'est-à-dire une variation du gain en fonction de la fréquence. La distorsion de fréquence n'est donc qu'une variation de spectre du signal causée par le déplacement de la fréquence de coupure.

Un signal sinusoïdal appliqué à l'entrée d'un circuit analogique de la forme :

$$V_{in} = V_a \cos(\omega t) \quad 2.4$$

Par décomposition en série de Fourier, le signal de sortie s'écrit sous la forme :

$$V_o = V_{in} + V_1 \cos(\omega t) + V_2 \cos(2\omega t) + \dots + V_n \cos(n\omega t) \quad 2.5$$

Cette décomposition nous donne l'information sur la distorsion d'amplitude du signal.

$$DH_2 = \frac{V_2}{V_1}, \quad DH_3 = \frac{V_3}{V_1} \quad 2.6$$

Comme nous l'avons décrit dans les paragraphes précédents, un *CFOA* se caractérise par une architecture quasi symétrique et une pente de tension de sortie très élevée. Ces caractéristiques lui confèrent un meilleur taux de distorsion harmonique qu'un *VFOA*.

2.4 Caractéristiques du CFOA et limites

Le modèle petit signal du *CFOA* est présenté à la figure 2.4. Le circuit possède deux entrées asymétriques : une entrée V_p de haute impédance et une entrée V_n d'impédance nulle. L'entrée V_p est reliée à V_n par un tampon de gain en tension unitaire. Le courant I_n sortant de l'entrée V_n est recopié en interne I_z et traverse une résistance de forte valeur R_2 en parallèle avec une capacité C_z pour être convertie en une tension avant d'être transportée à la sortie par un étage à gain unitaire.

2.4.1 Réponse en fréquence

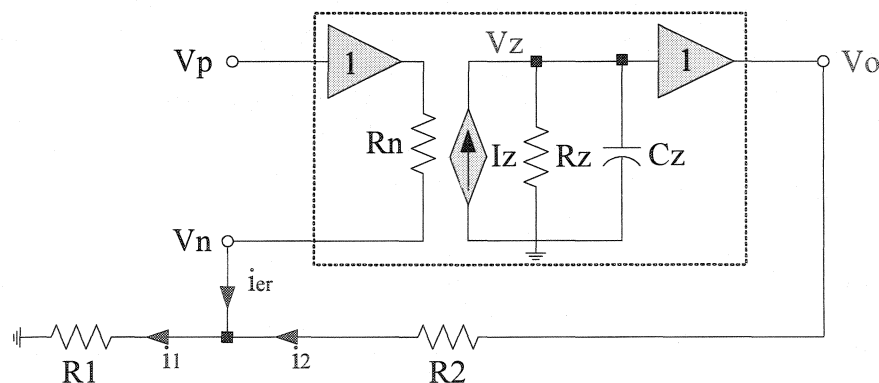


Figure 2.3. Modèle simplifié du CFOA

En utilisant le théorème de Kirchhoff relative au courant, on peut écrire l'équation de courant sortant de l'entrée V_n (Fig.2.3).

$$I_{er} = I_1 - I_2 \quad 2.7$$

Si on suppose que le courant I_z est copie idéale du courant I_{er} , en traversant une résistance R_z en parallèle avec la capacité C_z il créera une tension égale à:

$$V_z = I_z (R_z // C_z) \quad 2.8$$

En résolvant par rapport à V_z , on obtient la fonction de transfert du circuit présenté par la figure 2.3:

$$\frac{V_o}{V_p} = \frac{A_{cl}}{\left(1 + \frac{A_{cl}R_n + R_2}{R_z}\right) + \left(2\pi F_c \frac{A_{cl}R_n + R_2}{1 + (A_{cl}R_n + R_2)/R_z}\right)} \quad 2.9$$

Si $(R_n \approx 0)$ et $(R_z \gg R_2)$, alors le terme $((A_{cl}R_n + R_2)/R_z \approx 0)$ s'annule et l'équation 2.9 devient alors:

$$\frac{V_o}{V_p} = \frac{A_{cl}}{1 + j\omega C_z R_2} \quad 2.10$$

A_{cl} est le gain idéal en boucle fermée :

$$A_{cl} = 1 + R_2/R_1 \quad 2.11$$

La fréquence de coupure s'écrit alors:

$$F_c = \frac{1}{2\pi R_2 C_-} \quad 2.12$$

Selon l'équation (2.12), on remarque que la fréquence de coupure ne dépend plus de R_- . Pour ajuster la fréquence et le gain, il suffit de varier R_2 et R_1 respectivement. Cette indépendance entre le gain et la fréquence de coupure est très demandée dans plusieurs applications, par exemple augmenter le gain d'un filtre sans affecter la fréquence et la bande passante. Le diagramme du gain en fonction de la fréquence d'un *CFOA* en boucle fermée est présenté à la figure 2.4 (a). On remarque que la variation du gain se fait sans effet sur la fréquence de coupure, mais ceci est vrai si la résistance inverseuse R_n est égale à zéro (idéalement).

L'amplificateur à rétroaction en tension (Fig.2.4 (b)) n'offre pas les mêmes performances statiques et dynamiques que celles à rétroaction en courant. La pente de variation de la tension est fixée internement et dépend de la valeur du courant (Équ.2.1) de l'étage

d'entrée. L'étage d'entrée est différentiel, mais n'est pas symétrique, et a un gain DC de quelques dizaines de dB , ce qui augmente le délai total de l'amplificateur.

Dans certaines topologies de $VFOA$, la valeur de la capacité parasite vue à l'entrée est multipliée par la valeur de transconductance de l'étage différentiel d'entrée. Cette capacité provoque une baisse considérable de la fréquence et une diminution de la pente maximale de la tension de sortie. D'où une plus grande distorsion harmonique du signal par rapport à celle obtenue par un $CFOA$.

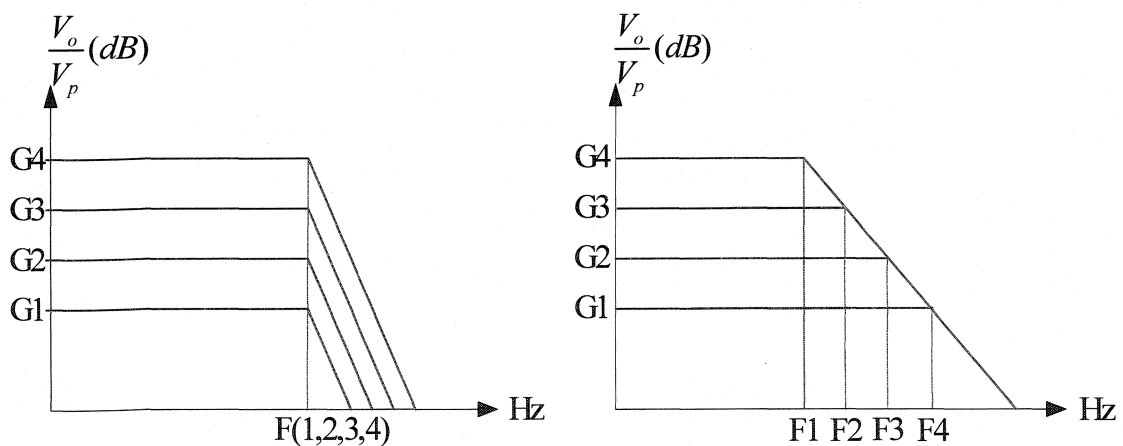


Figure 2.4. Réponse idéale en fréquence : a) CFOA, b) VFOA

2.4.2 Effets de la résistance de l'entrée négative

La réponse en fréquence montrée à la figure 2.5 nous permet d'observer une réduction de la bande passante qui est moins drastique que celle observée pour un $VFOA$. Cette réduction est due à la valeur non nulle de la résistance R_n qui est idéalement zéro pour

avoir une bande passante constante. Cependant, cette résistance est différente de zéro et on se trouve avec un produit gain bande passante variable. Pour tenir compte et minimiser son effet sur la réponse en fréquence (Fig.2.5), il faut l'inclure dans les équations caractéristiques (2.11) et (2.12).

En appliquant le théorème de Kirchhoff au schéma présenté dans la figure 2.3, on obtient l'expression donnant le courant qui traverse la résistance R_n .

$$I_{er} = \frac{V_p - V_n}{R_n} \quad 2.13$$

Si on considère que le courant I_z est équivalent au courant I_{er} , la tension V_z est égale à:

$$V_o = \frac{I_z R_n}{1 + 2\pi F_c R_z C_z} \quad 2.14$$

Si $R_n \neq 0$ et $R_z \gg R_2$, alors l'équation de transfert du *CFOA* (Equ.2.9) en fonction de R_n est égale à:

$$\frac{V_o}{V_p} = \frac{A_{cl}}{2\pi C_z [R_2 + A_{cl}) R_n]} \quad 2.15$$

Et la fréquence de coupure est donnée par :

$$F_c = \frac{1}{2\pi C_z [R_2 + A_{cl}) R_n]} \quad 2.16$$

En fixant le gain (Équ.2.15) et à l'aide de l'équation (2.16), on peut écrire la nouvelle expression R_2 en fonction de R_n et du gain:

$$R_2 = \frac{1}{2\pi F_c C_z} - A_{cl} R_n \quad 2.17$$

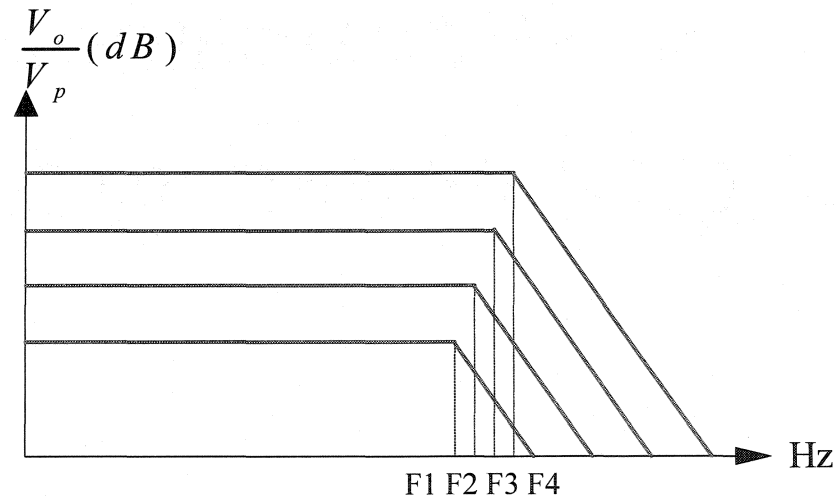


Figure 2.5. Réponse fréquentielle du CFOA en fonction de R_n

2.4.3 Linéarité de phase et stabilité

La linéarité de phase d'un *ampop* dépend de la symétrie des étages qui le composent et du circuit de stabilisation [22] [30]. Le *CFOA* a une architecture quasi symétrique, il est composé de deux étages classe *AB* un comme tampon d'entrée et l'autre comme tampon

de sortie et d'un étage intermédiaire de gain. L'étage de gain en transimpédance est composé de deux miroirs de courants CMP et CMN comme le montre la figure 2.1.

Dans un montage amplificateur dont l'entrée et la sortie sont connectées entre eux par une admittance et qui présente un gain en tension B et un gain en tension en boucle ouverte A_{ol} . La stabilité du circuit est obtenue si la phase soit inférieure à 135° pour un module $A_{ol}B = 1$

$$A_{ol} = \frac{V_o}{V_p} = \frac{R_z}{(sC_z R_z + 1)R_n} \quad 2.18$$

Le module et la phase sont donnés respectivement par:

$$A_{ol} = \frac{V_o}{V_p} = \frac{R_z}{(sC_z R_z + 1)R_n} \quad 2.19$$

$$\varphi = \tan^{-1} \frac{A_{ol}}{R_2 \left(1 + \frac{R_n}{R_2} \parallel R_1\right)} \quad 2.20$$

Deux paramètres qui peuvent affecter la stabilité de l'amplificateur : le gain de transimpédance et la résistance R_2 , mais qui peuvent être conçus de façon à respecter la stabilité. En insérant une capacité de compensation au nœud V_z , les paramètres externes qui peuvent stabiliser l'amplificateur : Les résistances de la rétroaction I_n et R_2 dans

certains cas on ajoute l'accès au nœud V_z . Donc la stabilité du *CFOA* dépend des valeurs et de la méthode de compensation que le concepteur utilise pour garantir la stabilité en boucle fermée.

Selon l'équation (2.19), la phase qui assure la stabilité de l'amplificateur dépend de R_2 . En effet, une restriction sur la valeur de R_2 est imposée pour assurer la stabilité ou d'ajouter une capacité de compensation au nœud V_z . Cette restriction ne permet pas l'utilisation d'une capacité à la place de R_2 pour réaliser un intégrateur selon les topologies connues avec le *VFOA*.

Finalement, un avantage caché du *CFOA* est qu'il exige habituellement moins d'étages internes que le *VFOA*. Un *CFOA* est composé par trois étages. Donc avoir moins d'étages signifie un faible délai en boucle ouverte; ceci se traduit par une large bande passante. Alors que l'amplificateur en tension exige plusieurs étages pour avoir un gain élevé, ce qui augmente le délai qui se traduira par une diminution de la bande passante.

2.5 Développement de CFOA en technologie CMOS

Le *CFOA* tire ces avantages principalement de la symétrie de ces étages (cf. 2.2): Étage d'entrée à gain unitaire, étage de transimpédance et étage de sortie. Dans la section suivante, on discutera des deux architectures classe *AB* utilisées pour réaliser un étage d'entrée en ce qui a trait à leurs performances dynamiques et leurs limites statiques.

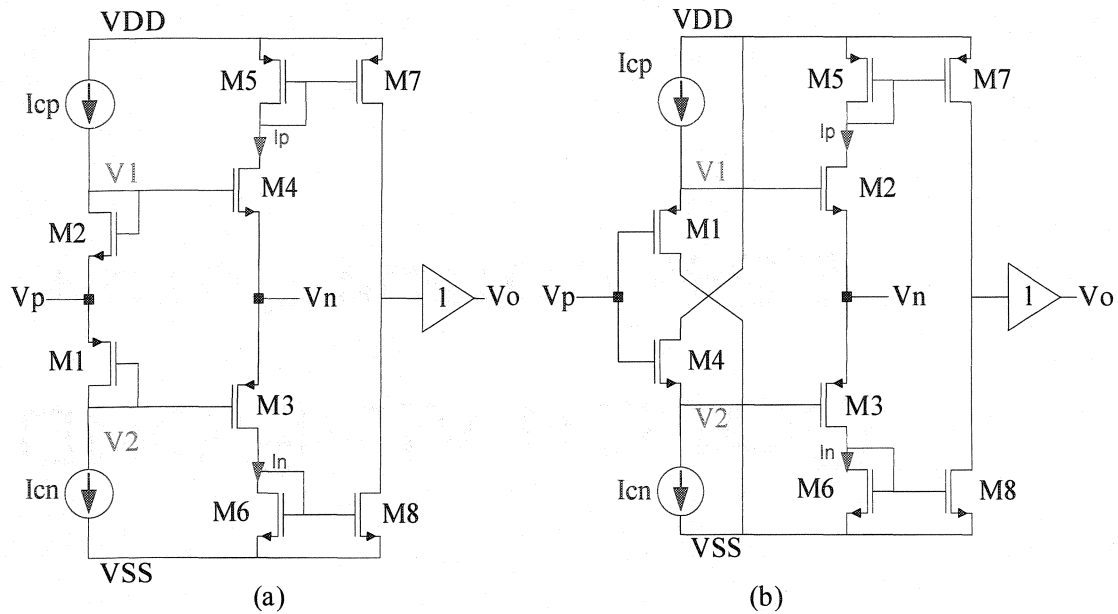


Figure 2. 6. Étage d'entrée d'un CFOA: a) source suiveur complémentaire, b) source suiveur complémentaire cascade

Enfin, une revue de techniques pour améliorer le rendement statique d'un *CFOA* en technologie bipolaire ou en technologie CMOS.

2.5.1 CFOA suiveur complémentaire

La figure 2.6 (a) illustre un *CFOA* dont son étage d'entrée est un amplificateur classe *AB* de type suiveur complémentaire qui se caractérise par un gain unitaire et une impédance finie à l'entrée non inverseuse, d'où un courant I_p non nul. Si les transistors ($M1$, $M2$) et ($M3$, $M4$) ne sont pas géométriquement identiques, on est en présence d'un déséquilibre

entre les courants I_p et I_n . Ceci se traduit par une erreur de courant qui est problématique à compenser.

Pour réduire la tension de décalage du circuit suiveur complémentaire, Bruun [4] a proposé un circuit de correction des courants I_p et I_n en technologie CMOS (Fig.2.7).

L'analyse des résultats obtenus démontre que la stabilité du courant dépend de la stabilité de la tension de seuil V_{th} en fonction du procédé de fabrication. Le circuit composé par les deux sources de courant présente deux limites importantes : une diminution de la résistance d'entrée non inverseuse, et une variation du gain en transimpédance du *CFOA*.

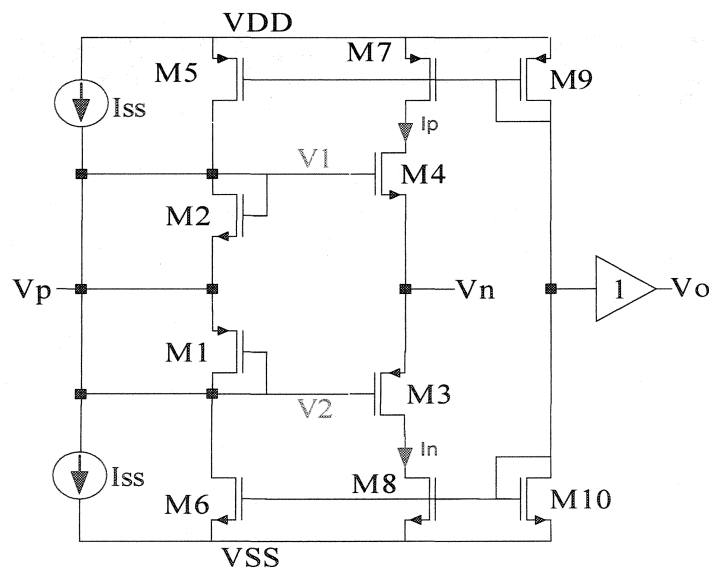


Figure 2. 7. CFOA avec correction du courant de polarisation

Une deuxième solution consiste à insérer deux résistances de faible valeur en série avec V_n et les transistors M2 et M3. L'ajout de deux résistances a pour but de faire chuter

tension V_n en fonction du courant de déséquilibre et le circuit se trouve avec une compensation de la tension de décalage. Cependant, le bruit thermique d'une résistance contraint l'utilisation du *CFOA* pour réaliser des circuits analogiques à faible amplitude.

2.5.2 CFOA suiveur complémentaire cascade

La figure 2.6 (b) présente un circuit suiveur complémentaire cascade qui se caractérise par un gain unitaire et une impédance très élevée à l'entrée non inverseuse, d'où un courant I_p presque nul. Vu la difficulté de concevoir des paires de transistors (M1, M2) et (M3, M4) géométriquement identiques, une erreur entre les courants générés par les transistors M2 et M3 de l'entrée inverseuse. Ceci se traduit par une tension de décalage et une variation de résistance R_n .

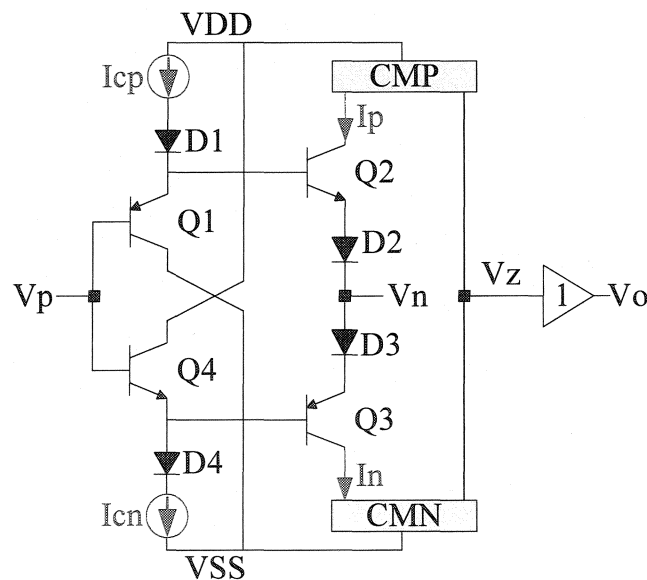


Figure 2. 8. CFOA avec réduction de la tension de décalage

En technologie bipolaire, l'auteur propose l'insertion de quatre diodes dans l'étage d'entrée comme le montre la figure 2.8 [31]. En effet, cette solution réduit la tension de décalage, mais elle augmente la résistance inverseuse et diminue la plage dynamique de l'entrée non-inverseuse. Ces deux inconvénients limitent l'amplitude du signal traité et réduisent la bande passante de l'amplificateur. De plus, la valeur de la résistance des diodes, montées en mode blocage, est très élevée, ce qui signifie que le bruit thermique est important.

Alors qu'en technologie CMOS, les auteurs ont proposé un circuit de compensation qui est constitué par un comparateur de tension et deux intégrateurs de courant [1]. Cette technique de compensation a permis d'obtenir de bons résultats, mais elle se caractérise par plusieurs limites importantes:

- Difficulté de transférer la topologie proposée vers une technologie à faible alimentation, par exemple 1.8 V;
- La nouvelle résistance R_n devient l'équivalent de R_n du *CFOA* en parallèle avec la résistance vue à l'entrée du comparateur de tension;
- La capacité parasite vue à l'entrée V_n est la somme de C_n et de la capacité parasite vue à l'entrée du comparateur. Ces deux nouvelles valeurs de R_n et C_n ,

imposent une diminution de la bande passante et une augmentation du niveau de bruit de l'*ampop*.

- L'intégrateur de courant et le comparateur de tension du circuit de compensation ont un gain supérieur à l'unité. Cette propriété a pour conséquence d'augmenter le taux de distorsion harmonique et de diminuer la pente de la tension de sortie du *CFOA*.

Dans le troisième chapitre, on propose une nouvelle technique de compensation de l'erreur *DC* du *CFOA* avec peu d'effets sur ces caractéristiques dynamiques et statiques.

2.6 Filtre actif intégré

Récemment les filtres analogiques réalisés par des *CFOAs* ont attiré l'attention des concepteurs des circuits analogiques [20]. Ceci est dû à la simplicité de conception et aux performances dynamiques de type *CFOA*. Plusieurs auteurs ont publié de nouvelles architectures de filtre actif utilisant des intégrateurs en mode tension/courant. Dans la section suivante, on examinera des techniques de réalisation d'intégrateurs et des techniques employées pour ajuster un ou plusieurs paramètres d'un filtre.

2.6.1 Architectures d'intégrateurs

L'analyse du circuit montré à la figure 2.9 nous permet de trouver la fonction de transfert d'un intégrateur idéal (équ.2.21). En examinant le schéma, on note que cette topologie ne peut se réaliser qu'avec des *ampop* ayant une stabilité définie lors de la conception.

$$\frac{V_2}{V_1} = -\frac{1}{sCR} \quad 2.21$$

En présence de tension de décalage qui se superpose à la tension d'entrée V_1 , la sortie de l'intégrateur tend vers la saturation. Théoriquement cette situation est définie par la relation suivante:

$$\frac{V_2}{V_1} = -\frac{1}{sCR} - \frac{I_n}{sC} \quad 2.22$$

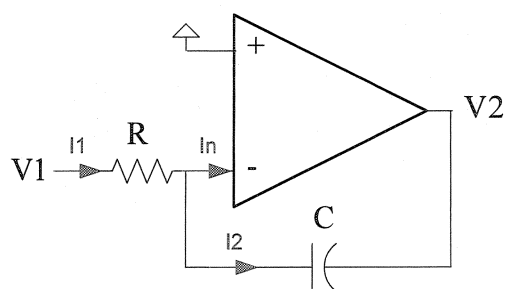


Figure 2.9. Intégrateur RC

Pour réduire l'effet de décalage de tension à l'entrée, on diminue le gain en tension aux basses fréquences en ajoutant une résistance en parallèle avec le condensateur; où on

utilise un *ampop* avec tension de décalage nulle ou compensée par l'une des techniques connues.

Dans la section suivante, nous passons en revue quelques techniques de conception d'intégrateurs qui constituent l'élément de base des filtres actifs intégrés avec la possibilité d'ajuster leurs paramètres tels que : fréquence de coupure, gain, facteur de qualité, etc.

2.6.2 Technique de variation de la fréquence d'un filtre

Pour réaliser un intégrateur ajustable, il suffit d'ajouter à la résistance de l'intégrateur de la figure 2.9 un transistor *MOSFET*. Le circuit résultant est présenté dans la figure 2.10 et a pour fonction de transfert :

$$\frac{V_2}{V_1} = -\frac{1}{sCR_{eq}} \quad 2.23$$

Avec

$$R_{eq} = R + \frac{L}{W(V_c - V_{th})\mu C_{ox}} \quad 2.24$$

R_{eq} est la résistance équivalente du transistor *MOSFET* fonctionnant en région triode.

Cette résistance n'est pas linéaire dans toute la région triode et souffre de la tension de seuil du transistor qui présente une des limites de cette technique. Une proposition pour remédier à ce problème est présentée dans les références [7] [32].

Le circuit de la figure 2.10 nécessite un *ampop* stable et sans erreur de tension à la sortie. Alors ce type d'intégrateurs ne peut être utilisé avec un *CFOA* qui demande un minimum de résistance pour assurer sa stabilité (cf.2.4.3). Dans le quatrième chapitre, nous proposons une nouvelle topologie d'intégrateur ajustable utilisant un *CFOA*.

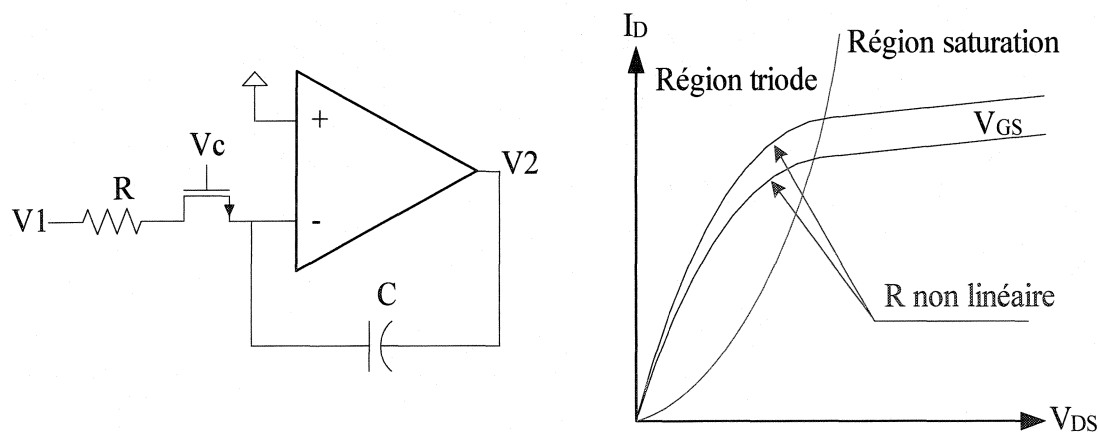


Figure 2.10. Intégrateur ajustable : a) Circuit à MOSFET RC, b) Caractéristiques du MOSFET

Une des techniques utilisées pour réaliser un intégrateur ajustable est illustrée par la figure (2.11). La variation de la fréquence se fait à l'aide des interrupteurs qui sont réalisés par des transistors MOS. La résistance et la capacité en fonction du code binaire commandant les interrupteurs ($D0 \dots Dn$) et ($B0 \dots Bn$) sont données respectivement par :

$$R_{eq} = (R // R_{ds})(2^0 D_0 + 2^1 D_1 \cdots + 2^{n-1} D_{n-1}) \quad 2.25$$

$$C_{eq} = C(2^0 B_0 + 2^1 B_1 \cdots + 2^{n-1} B_{n-1}) \quad 2.26$$

Où : $(B_i \text{ et } D_i)$ = coefficient binaire (0 ou 1).

On observe que ce type de filtres souffre d'une limite de la plage de fréquence que l'on peut réaliser avec cette architecture. Les transistors *MOSFET* formant les interrupteurs de programmation ont des capacités et des résistances parasites. Par conséquent, la réponse en fréquence de cette topologie est affectée et il faut tenir compte de leurs effets pour réaliser ce genre de filtre.

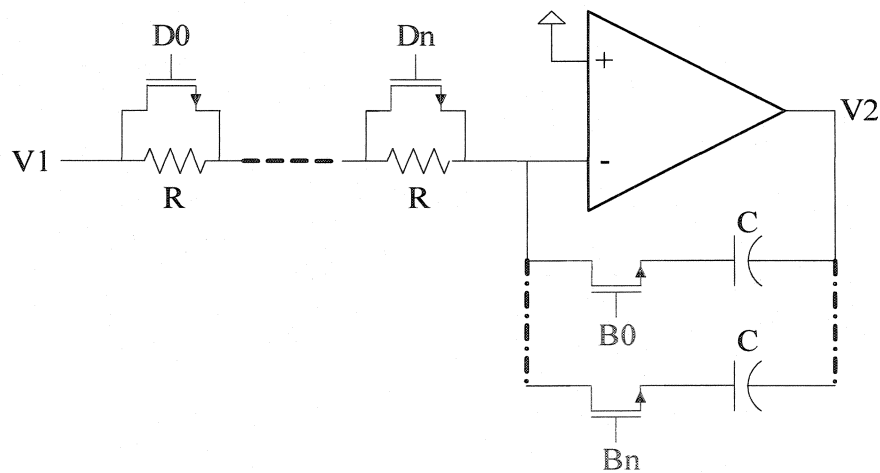


Figure 2.11. Ampop MOSFET RC programmable

Une des propositions pour réaliser un filtre passe-bande à fréquence variable est présentée sur la figure 2.12 [8]. La variation de la fréquence se fait par la variation de la

résistance R . La performance de cette topologie souffre de la linéarité du potentiomètre. Les résultats obtenus par ce circuit montrent une déviation de la bande passante (10-20kHz) et une variation du gain linéaire de 0.2 à 1. Ces variations sont obtenues pour une fréquence centrale comprise entre 300 kHz et 320 kHz.

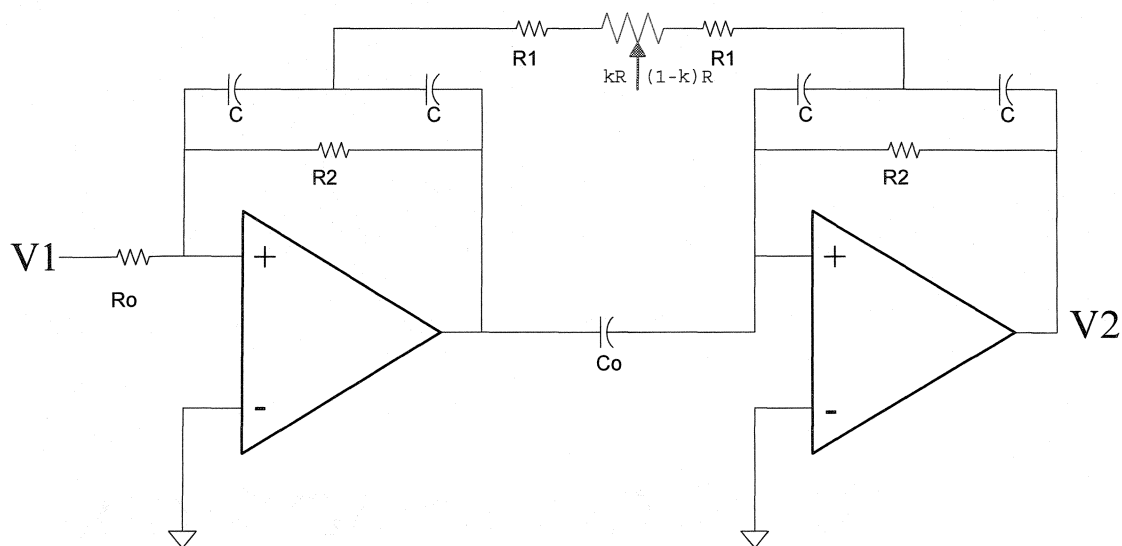


Figure 2.12. Filtre passe-bande de 4^{ème} ordre

2.7 Conclusion

Au cours du présent chapitre, nous avons présenté une revue des principaux avantages et inconvénients des amplificateurs à rétroaction de type *CFOA* et *VFOA*. Nous avons ensuite discuté des limites de quelques techniques utilisées pour réduire la tension de décalage d'*ampop* à basse alimentation *DC*. Finalement, nous avons présenté quelques topologies de réalisation de filtre analogique à fréquence ajustable dans le domaine intégré et le domaine discret. Dans le deuxième chapitre, une nouvelle solution de

réduction de la tension de décalage est proposée. Il s'agit d'un circuit qui exploite les techniques analogiques de moyenne et de soustraction et qui répond aux thèmes : faible bruit, faible distorsion harmonique, et simple à intégrer avec le *CFOA* en technologie *CMOS* 0.18 μm .

CHAPITRE 3

AMPLIFICATEUR À RÉTROACTION EN COURANT À TENSION DE DÉCALAGE RÉDUITE

3.1 Introduction

Depuis son apparition vers les années quatre vingt, le *CFOA* est devenu un élément clé pour la réalisation des fonctions analogiques avec un rendement supérieur à celles réalisées par le *VFOA*.

Dans l'architecture du *CFOA*, quelle que soit la technologie (bipolaire ou CMOS), l'étage d'entrée est généralement constitué d'un amplificateur classe *AB*. Ce choix est dû au rendement supérieur en régime dynamique de l'amplificateur classe *AB* par rapport à ceux de classes *A* ou *B*. Parmi ces avantages, on retrouve un faible taux de distorsion d'amplitude [21], un faible bruit, et une pente de tension de sortie (*SR*) très élevée. Par contre, il présente une erreur *DC* (tension de décalage) à sa sortie. Pour réduire cette erreur plusieurs solutions ont été proposées en technologie bipolaire [4] et en technologie CMOS [1]. Dans le premier chapitre, nous avons discuté des limites de ces solutions en ce qui concerne le bruit et la distorsion d'amplitude qui sont des facteurs importants pour les filtres intégrés.

Dans ce chapitre, nous proposons une méthode de réduction de la tension de décalage du *CFOA* et quelques architectures d'intégrateurs. Cette méthode utilise une technique fréquemment employée par les concepteurs de circuits analogiques. Elle se caractérise par sa simplicité et par un effet négligeable sur les caractéristiques du *CFOA* tels que : le bruit, la distorsion d'amplitude et la bande passante.

3.2 CFOA en technologie CMOS

Lorsque les entrées V_p et V_n du *CFOA* représentées à la figure 3.1 sont mises à une tension continue et égale à la moitié de la tension d'alimentation V_{DD} , on retrouve une tension de décalage à la sortie V_o , car les tensions de seuils V_{th} des transistors M1, M2, M3 et M4 sont différentes. Cette erreur de tension est difficile à réduire, car il n'existe aucune technique connue pour concevoir des transistors NMOS et PMOS similaires.

3.2.1 Analyse de la tension de décalage du CFOA

L'analyse de la tension de décalage du *CFOA* est d'appliquer le théorème de Kirchhoff à l'étage d'entrée de ce circuit (Fig. 3.1) tout en assumant que la tension V_n est fonction de la tension V_p par l'intermédiaire des tensions V_1 et V_2 . Par conséquent, la tension de décalage à la sortie du *CFOA*, soit la différence entre la tension V_p et la tension V_n , est donnée par:

$$V_{os} = V_{thn3} + \sqrt{\frac{2I_n}{\mu_n C_{ox}} \left(\frac{L}{W} \right)_3} - \left| V_{thp2} + \sqrt{\frac{2I_p}{\mu_p C_{ox}} \left(\frac{L}{W} \right)_2} \right| \quad 3.1$$

En posant $V_{os} = 0$ et en réarrangeant l'équation (3.1), on obtient une nouvelle expression :

$$\left| -\frac{1}{2} \mu_p C_{ox} \frac{W_3}{L_3} (V_2 - V_n - V_{thn3})^2 \right| = \frac{1}{2} \mu_n C_{ox} \frac{W_2}{L_2} (V_1 - V_n - V_{thp2})^2 \quad 3.2$$

Pour obtenir l'égalité de l'équation (3.2), il faut satisfaire les deux conditions suivantes :

$$V_{th2} + \sqrt{\frac{2I_n L_2}{\mu_n C_{ox} W_2}} = V_{th1} + \sqrt{\frac{2I_{cp} L_1}{\mu_p C_{ox} W_1}} \quad 3.3$$

$$V_{th4} + \sqrt{\frac{2I_{cn} L_4}{\mu_n C_{ox} W_4}} = V_{th3} + \sqrt{\frac{2I_p L_3}{\mu_p C_{ox} W_3}} \quad 3.4$$

Selon l'équation (3.2), on note que l'égalité dépend de paramètres physiques et électriques suivants:

Paramètres physiques: Les variables comme la conductance, la tension de seuil, la longueur de modulation sont des paramètres qui dépendent de la maturité du procédé de



$$V_1 = V_p - V_{th1} + \sqrt{\frac{2I_{cp}}{\mu_p C_{ox}} \left(\frac{L}{W} \right)_1} \quad 3.5$$

$$V_2 = V_p - V_{th2} - \sqrt{\frac{2I_{cn}}{\mu_n C_{ox}} \left(\frac{L}{W} \right)_2} \quad 3.6$$

En se référant à l'équation (3.2), on note que l'ajustement des tensions V_1 et V_2 provoque une diminution ou une augmentation de la valeur des courants I_p et I_n . Donc, par variation des ces courants on réduit la tension de décalage selon la condition décrite par l'équation (3.2). Dans ce mémoire, le principe de variation des courants I_{cp} et I_{cn} sera exploité ultérieurement pour concevoir un circuit électronique permettant la réduction de la tension de décalage.

3.2.2 Effets de la tension de décalage

En présence d'une tension de décalage, le *CFOA* subira une diminution de ces performances statiques et dynamiques. Donc, une restriction de l'utiliser pour concevoir des circuits de traitement des signaux à faible amplitude ou des intégrateurs à large bande passante.

L'équation (3.1) et la figure 3.1 nous permettent de constater que V_Z dépend des courants I_p et I_n tel que définit par l'équation (3.7).

$$V_Z = \frac{1}{2} [I_p (R_{cp}) + I_n (R_{cn})] \quad 3.7$$

Où R_{cp} et R_{cn} sont les résistances de sorties des miroirs de courant CMN et CMP .

En remplaçant dans les équations (3.9) et (3.10) la résistance R_Z par sa valeur équivalente, R_{cp} en parallèle à R_{cn} , on obtient deux nouvelles expressions du gain et de la fréquence:

$$\frac{V_z}{V_p} = \frac{(R_{cp} // R_{cn})}{R_n [1 + sC_z (R_{cp} // R_{cn})]} \quad 3.8$$

$$F_c = [2\pi C_z (R_{cp} // R_{cn})]^{-1} \quad 3.9$$

Où R_n la résistance de l'entrée inverseuse V_n et C_z la capacité parasite au nœud V_Z .

Selon les équations (3.8) et (3.9), on remarque que le gain et la fréquence dépendent des résistances R_{cp} , R_{cn} et R_n , qui eux sont dépendantes de la tension de décalage (Équ.3.2).

3.3 Compensation de la tension de décalage du CFOA

Concevoir un circuit de compensation de la tension de décalage sans affecter les caractéristiques du *CFOA*, nécessite beaucoup d'attentions pour trouver une architecture qui réponde aux critères de performances désirées : faible contribution en bruit, temps minimal requis pour la compensation, gain unitaire et une faible dissipation d'énergie.

Pour atteindre ces objectifs, on propose de varier les courants I_{cp} et I_{cn} en fonction de la moyenne des tensions V_p et V_n par une technique autonome et qui s'exécute continuellement jusqu'à que la condition (Équ.2.2) soit satisfaite.

3.3.1 Schéma du principe de la compensation

La figure 3.2 représente le schéma fonctionnel d'un *CFOA* et du circuit de compensation de sa tension de décalage. La technique de compensation proposée est une polarisation dynamique des sources de courant I_{cp} et I_{cn} , et englobe les cinq modules suivants :

Circuit de tension V_{nr} : Les tensions V_1 , V_2 , V_3 et V_4 de l'étage d'entrée du *CFOA* (Fig.3.2) sont délivrées au circuit constitué par les transistors M2', M9', M3' et M10'. Ce circuit génère une tension V_{nr} équivalente à la tension V_n . Cette technique permet d'éviter les effets du circuit de compensation sur la résistance R_n (cf. 2.4.2).

Soustracteurs analogiques S_1 et S_2 : La tension V_m obtenue à la sortie du circuit de moyenne est délivrée aux entrées des circuits S_1 et S_2 . Ces circuits agissent comme soustracteurs analogiques et génèrent deux tensions V_{cp} et V_{cn} . Elles sont équivalentes aux tension de repos; tension pour laquelle la tension de décalage est nulle, plus ou moins l'erreur moyenne entre les tensions V_p et V_{nr} .

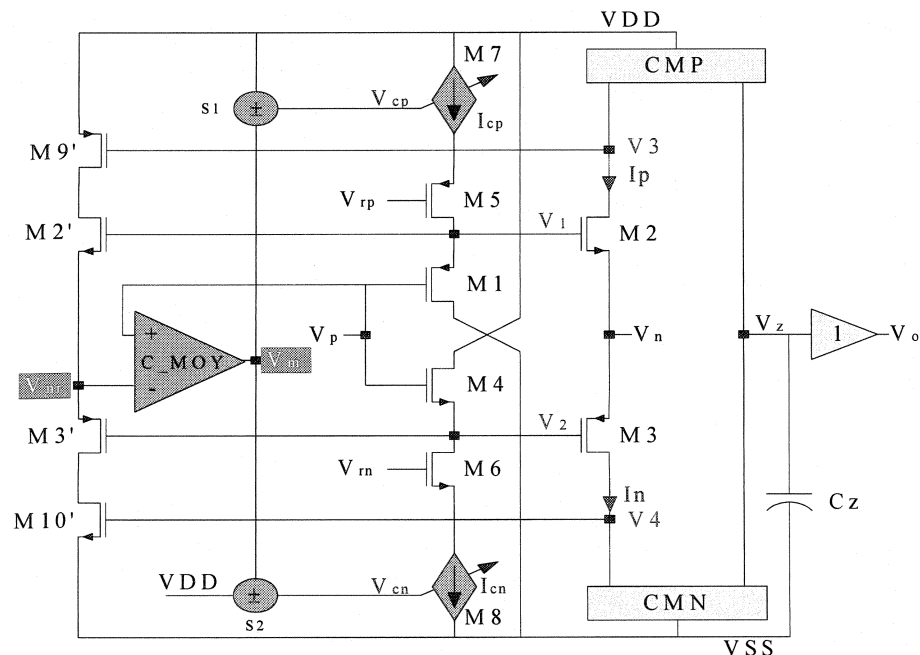


Figure 3.2. Principe de compensation du CFOA

Sources de courant contrôlées I_{cp} et I_{cn} : Les tensions V_{cp} et V_{cn} générées par les circuits S_1 et S_2 sont délivrées respectivement aux sources de courants (I_{cp} et I_{cn}) commandées par tension. Ces sources généreront deux courants dont leurs valeurs sont équivalents aux courants de repos, plus ou moins une erreur proportionnelle aux tensions V_{cp} et V_{cn} .

Étage d'entrée du CFOA : Les courants générés par les sources I_{cp} et I_{cn} traversent respectivement les transistors M1 et M4 qui auront deux tensions V_1 et V_2 proportionnelles à ces courants. Les tensions V_1 et V_2 ainsi obtenues sont délivrées aux transistors M2 et M3 qui généreront deux courants I_p et I_n en fonction de ces tensions.

Sources de tension V_{rp} et V_{rn} : L'ajout des transistors M5 et M6 dans l'étage d'entrée comme la montre la figure 2.2 a pour but de maintenir un gain approximativement égal à un qui sera affecté par la boucle de rétroaction du circuit de compensation. Ces deux transistors nécessitent deux tensions de polarisation, qui sont générées par le circuit composé des transistors MB1, MB2, MB3 et MB4 (Fig.3.5)

Il faut noter que les transistors M5 et M6 sont nécessaires pour minimiser l'effet de la boucle de rétroaction du circuit de compensation sur la réponse en fréquence des deux amplificateurs classe A constitués par les transistors (M5, M7) et (M4, M6).

Dans les sections suivantes, nous déterminons les équations caractéristiques du circuit de compensation et l'effet de ce dernier sur le niveau de bruit.

3.3.2 Circuit de compensation proposée

Dans ce qui suit, on présente les circuits de différents modules réalisant la compensation de la tension de décalage du CFOA.

3.3.2.1 Circuit de moyenne

Parmi les caractéristiques recherchées par le circuit de moyenne on retrouve une réponse linéaire, un gain unitaire, une faible dissipation de puissance et à faible contribution de bruit. Pour atteindre ces objectifs, on propose le circuit constitué par les transistors M21, M22 et M23 (Fig.3.10). La tension de sortie du circuit de moyenne V_m en fonction des tensions V_p et V_{nr} est donnée par l'équation (3.10) :

$$V_m = V_{th23} + \sqrt{\frac{\beta_{22}}{\beta_{23}}} (V_{DD} - V_p - V_{th22}) + \sqrt{\frac{\beta_{21}}{\beta_{23}}} (V_{DD} - V_{nr} - V_{th21}) \quad 3.10$$

$$\text{Où } \beta_i = 0.5\mu_p C_{ox} \left(\frac{W}{L} \right)_i, i=(21, 22, 23)$$

3.3.2.2 Circuits soustracteurs analogiques

Le soustracteur analogique (S1) est un circuit constitué de deux transistors M24 et M25 (Fig.3.3). Sa sortie V_{cp} , proportionnelle à la tension moyenne V_m , polarise dynamiquement la source du courant I_{cp} et elle est donnée par :

$$V_{cp} = V_{th25} + (V_{DD} - V_m - V_{th24}) \sqrt{\left(\frac{L}{\mu_p C_{ox} W} \right)_{25} \left(\frac{\mu_p C_{ox} W}{L} \right)_{24}} \quad 3.11$$

Alors que le second soustracteur (S2), il est constitué par les transistors M26 et M27 et génère la tension V_{cn} pour polariser dynamiquement la source de courant I_{cn} . Cette tension est donnée par:

$$V_{cn} = V_{DD} - V_{th26} + (V_m - V_{th27}) \sqrt{\left(\frac{L}{\mu_n C_{ox} W}\right)_{27} \left(\frac{\mu_n C_{ox} W}{L}\right)_{26}} \quad 3.12$$

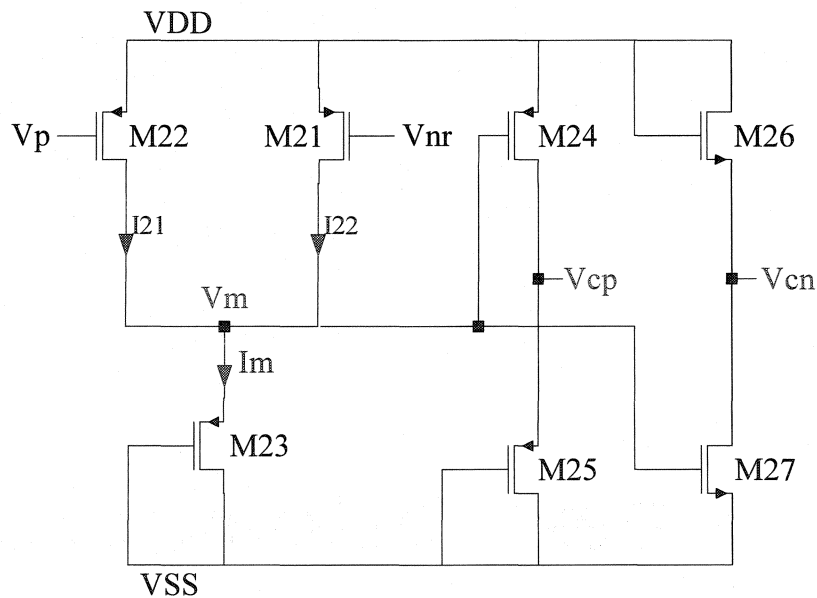


Figure 3.3. Circuit de compensation du CFOA

3.3.3 Considérations pratiques de conception

L'implémentation du circuit de compensation de la tension de décalage nécessite d'accorder une attention particulière pour réduire les erreurs dues aux imperfections de la

fabrication. Dans ce qui suit, nous discutons des considérations pratiques liées aux dessins des masques et aux sources de bruit dans le circuit.

3.3.3.1 Dessins des masques

Les courants sortant de deux transistors M21 et M22 du circuit de moyenne sont égaux et définis par l'équation (3.13).

$$\beta_{21}(V_{GS21} - V_{th21})^2 = \beta_{22}(V_{GS22} - V_{th22})^2 \quad 3.13$$

Cependant, lors de la fabrication du circuit, des erreurs peuvent engendrer des variations des paramètres caractéristiques de ces transistors tels que les conductances, les tensions de seuils. Par conséquent, le rapport de deux courants I_{21} et I_{22} est différent de l'unité. Dans cette situation, les transistors ne généreront plus le même courant pour la même erreur de tension et par conséquent, le circuit de moyenne subira une diminution en terme de précision et du temps nécessaire à la compensation.

L'équation (3.13) en fonction des erreurs de tensions ΔV_{th21} et ΔV_{th22} devient:

$$(\beta_{21} \pm \Delta\beta_{21})(V_{GS21} - (V_{th21} \pm \Delta V_{th21}))^2 = (\beta_{22} + \Delta\beta_{22})(V_{GS22} - (V_{th22} + \Delta V_{th22}))^2 \quad 3.14$$

Pour se rapprocher de l'égalité décrite par l'équation (3.13) et minimiser l'effet des erreurs engendrées par le procédé de fabrication, une phase de conception rigoureuse des

transistors similaires (*matching*) est nécessaire. En effectuant cette opération, nous diminuons le temps nécessaire au circuit de moyenne pour se stabiliser.

3.3.3.2 Effets de bruits et réponse en fréquence du circuit de compensation

Le bruit dans les circuits intégrés est engendré par le mouvement aléatoire des charges électriques. Ces variations aléatoires génèrent des fluctuations de tensions et de courants.

Les principales sources de bruits sont:

Bruit thermique : L'agitation thermique des porteurs provoque des collisions aléatoires, générant le bruit thermique (ou bruit blanc). Il se caractérise par une densité spectrale indépendante de la fréquence.

Bruit de scintillation (Flicker noise) : La fluctuation de la mobilité des porteurs ou du nombre des porteurs participant à la conduction est à l'origine de ce bruit de scintillation connu par le bruit $1/f$. Ces fluctuations conduisent à une variation de la conductivité électrique des semi-conducteurs.

La figure 3.4 représente le circuit de compensation avec ces sources de bruits qui sont ramenées à la sortie du circuit de moyenne et de deux soustracteurs. Ces sources de bruits sont respectivement données par:

$$\overline{V_{n,m}^2} = R_m^2 \left(\frac{2k_p}{C_{ox}(WL)_{21}f} gm_{21}^2 + \frac{k_p}{C_{ox}(WL)_{23}f} gm_{23}^2 + \frac{16}{3} k_B T gm_{21}^2 \right) \quad 3.15$$

$$\overline{V_{n,cp}^2} = R_{cp}^2 \left(\frac{k_p}{C_{ox}(WL)_{24}f} gm_{24}^2 + \frac{k_p}{C_{ox}(WL)_{25}f} gm_{25}^2 + \frac{8}{3} k_B T gm_{24}^2 \right) + A_{cp} \overline{V_{n,m}^2} \quad 3.16$$

$$\overline{V_{n,cn}^2} = R_{cn}^2 \left(\frac{k_p}{C_{ox}(WL)_{26}f} gm_{26}^2 + \frac{k_p}{C_{ox}(WL)_{27}f} gm_{27}^2 + k_B T \frac{8}{3} gm_{26}^2 \right) + A_{cn} \overline{V_{n,m}^2} \quad 3.17$$

Avec

$$R_m = \frac{1}{gm_{22}} \parallel \frac{1}{gds_{22}} \parallel \frac{1}{gds_{23}} \quad 3.18$$

$$R_{cp} = \frac{1}{gm_{24}} \parallel \frac{1}{gds_{24}} \parallel \frac{1}{gds_{25}} \quad 3.19$$

$$R_{cn} = \frac{1}{gm_{27}} \parallel \frac{1}{gmb_{26}} \parallel \frac{1}{gds_{27}} \parallel \frac{1}{gds_{26}} \quad 3.20$$

Et k_b est la constante de Boltzmann, k_p constante du procédé de fabrication (typiquement, 10^{-24} V²F) et $1/f$ le bruit généré par le courant du drain.

Note: Pour des raisons de simplification, nous avons supposé que les deux transistors M22 et M21 génèrent la même quantité de bruit et que le niveau de bruit dû aux capacités parasites est négligeable.

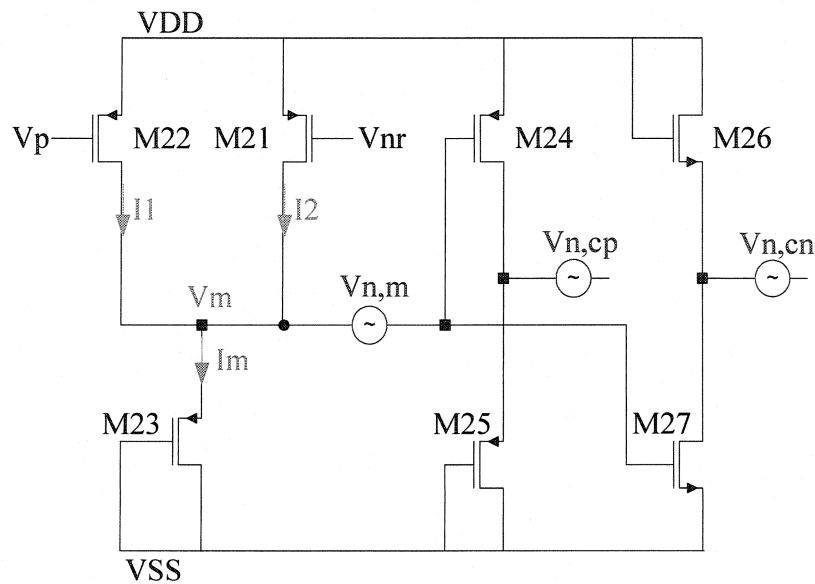


Figure 3.4. Sources de bruits dans le circuit de compensation

Le circuit de compensation est constitué par trois circuits en cascade comme le montre la figure 3.4. Ces circuits ont un gain inférieur à un (Équ.3.21, 3.22 et 3.23); cette propriété offre un avantage très intéressant en ce qui a trait au niveau de bruit. Par conséquent, le niveau de bruit à la sortie du soustracteur analogique ($S1$) et ($S2$) est atténué sous l'effet du gain de ces derniers. Le niveau de bruit obtenu à la sortie de V_{cp} et V_{cn} est lui aussi atténué et le *CFOA* se trouve avec un niveau de bruit acceptable.

$$A_m = \frac{V_m}{V_p} = \frac{1}{2} \frac{gm_{22}}{gm_{22} + gds_{22} + gds_{23}} \quad 3.21$$

$$A_{cp} = \frac{V_{cp}}{V_m} = \frac{gm_{24}}{gm_{24} + gds_{24} + gds_{25}} \quad 3.22$$

$$A_{cn} = \frac{V_{cp}}{V_m} = \frac{gm_{27}}{gm_{27} + gmb_{27} + gds_{27} + gds_{26}} \quad 3.23$$

Par conséquent, le *CFOA* à tension de décalage compensée peut être utilisé pour réaliser des fonctions analogiques à large bande passante, faible bruit et faible taux de distorsion d'amplitude.

3.4 Description du CFOA en technologie CMOS

Dans cette section, nous discutons des circuits de polarisations de différents étages du *CFOA*. Aussi, nous donnons les expressions des résistances R_n et R_z du *CFOA* et nous analysons les sources de bruits du *CFOA* avec et sans circuit de compensation.

3.4.1 Polarisation de l'étage d'entrée

L'étage d'entrée du *CFOA* est polarisé par le circuit constitué de transistors MB1, MB2, MB3 et MB4 (Fig.3.5). Ce circuit présente les avantages de faible dissipation d'énergie et

faible contribution de bruits ramenés aux entrées V_{b1} et V_{b2} des transistors M5 et M6. En effet, les sources de bruit ramenées aux nœuds V_1 et V_2 sont multipliées par un gain inférieur à l'unité, donc leur amplitude se trouve atténuée.

3.4.2 Polarisation de l'étage d'amplification

La polarisation des miroirs de courant MCN et MCP s'effectue par l'intermédiaire des tensions $Vb3$ et $Vb4$. Ces tensions, générées par le couple des transistors (MB5, MB6) et (MB7, MB8), donnent lieu à une polarisation qui se caractérise par le nombre réduit de composants de faible taux de distorsion d'amplitude, consommation d'énergie et un niveau de bruit.

L'étage de gain en transimpédance est réalisé par deux miroirs de courant MCP et MCN de type cascode, composés de quatre transistors (M11, M12, M13, M14). L'utilisation de miroir de courant cascode nous offre un gain élevé, une large bande passante et surtout un meilleur taux de distorsion d'amplitude [6].

Les résistances de l'étage de gain et de sortie sont données par:

$$R_z = \frac{gm_{13} + gds_{13} + gds_{11}}{gds_{13}gds_{11}} // \frac{gm_{14} + gds_{14} + gds_{12}}{gds_{14}gds_{12}} \quad 3.24$$

$$R_n = \frac{1}{gm_2 + gm_3 + gmb_2 + gmb_3}$$

3.25

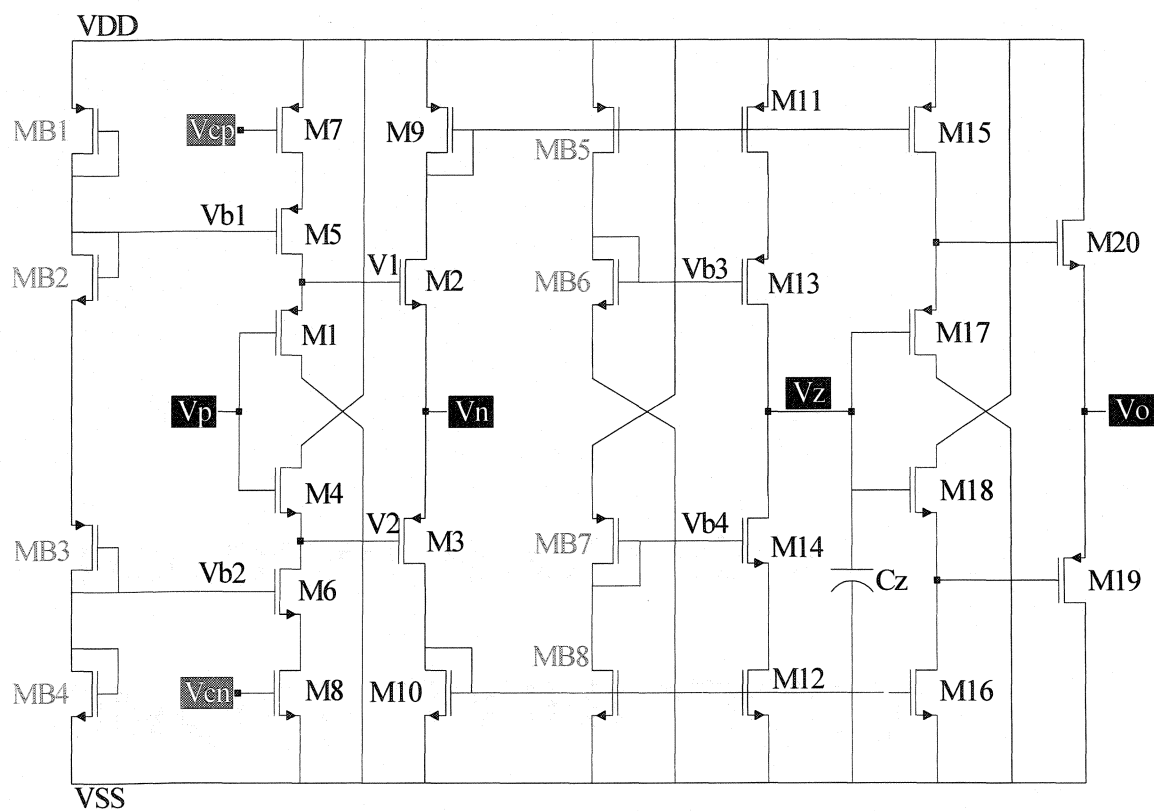


Figure 3.5. Schéma du CFOA en CMOS

3.4.3 Sources de bruits et leurs effets

Pour déterminer la contribution des sources de bruit généré par le circuit de compensation et leurs effets sur la performance du *CFOA*, on propose une analyse comparative en deux étapes :

Sans circuit de compensation : L'analyse du modèle de l'étage d'entrée du *CFOA* nous permet d'écrire les expressions des sources de bruit ramenées aux nœuds V_1 et V_2 .

$$\overline{V_{n,1}^2} = R_{o1}^2 \left(\frac{1}{f} \left(\frac{k_p}{C_{ox}(WL)_1} gm_1^2 + \frac{k_p}{C_{ox}(WL)_5} gm_5^2 + \frac{k_p}{C_{ox}(WL)_7} gm_7^2 \right) + \frac{8}{3} k_B T gm_7^2 \right) \quad 3.26$$

$$\overline{V_{n,2}^2} = R_{o2}^2 \left(\frac{1}{f} \left(\frac{k_p}{C_{ox}(WL)_4} gm_4^2 + \frac{k_p}{C_{ox}(WL)_6} gm_6^2 + \frac{k_p}{C_{ox}(WL)_8} gm_8^2 \right) + \frac{8}{3} k_B T gm_8^2 \right) \quad 3.27$$

Avec

$$R_{o1} = gm_1 + gds_1 + gds_5 + gds_7 + gmb_1 + gmb_5 \quad 3.28$$

$$R_{o2} = gm_4 + gds_4 + gds_6 + gds_8 + gmb_4 + gmb_6 \quad 3.29$$

Avec circuit de compensation : En ajoutant l'étage d'entrée du *CFOA* au circuit de compensation, l'analyse nous donne les nouvelles expressions suivantes :

$$\overline{V_{n,1}^2} = A_1 \overline{V_{n,cp}^2} + \overline{V_{n,1}^2} \quad 3.30$$

$$\overline{V_{n,2}^2} = A_2 \overline{V_{n,cn}^2} + \overline{V_{n,2}^2} \quad 3.31$$

Avec

$$A_1 = \frac{V_1}{V_p} = \frac{gm_1}{gm_1 + gds_1 + gds_5 + gds_7 + gmb_1 + gmb_5} \quad 3.32$$

$$A_2 = \frac{V_2}{V_p} = \frac{gm_4}{gm_4 + gds_4 + gds_6 + gds_8 + gmb_4 + gmb_6} \quad 3.33$$

En comparant les expressions de bruits ramenées aux nœuds V_1 (équations 3.26 et 3.30) et V_2 (équations 3.27 et 3.31), on note que la contribution au niveau bruit du circuit de compensation est négligeable.

3.5 Conception d'intégrateurs basés sur le CFOA

Le *CFOA* peut être utilisé pour réaliser un intégrateur à large bande en insérant une capacité au nœud Z comme le montre la figure 3.6. Cette technique nous permet de résoudre le problème de stabilité discuté à la section 2.4.3. Les fonctions de transfert de deux intégrateurs présentés à la figure 3.6 (a, b) sont:

$$H_I = \frac{V_o}{V_1} = \frac{1}{sC + R} \quad 3.34$$

$$H_I = \frac{V_o}{V_1} = -\frac{1}{sC + R} \quad 3.35$$

Dans l'équation (3.34), le modèle du *CFOA* est valable pour les basses fréquences. Par contre, pour des fréquences élevées, un modèle à haute fréquence est requis pour l'analyse et la conception des filtres à large bande de fréquences.

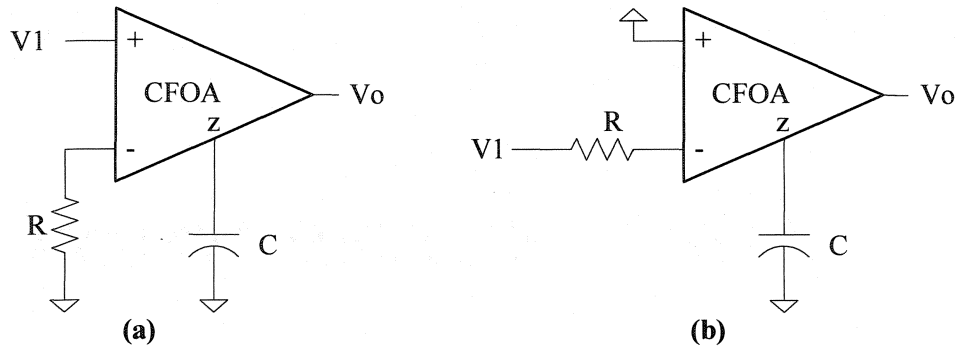


Figure 3.6. Intégrateur à entrée simple: a) inverseur, b) non - inverseur

La figure 3.7 nous montre un autre exemple d'application possible avec un *CFOA* pour réaliser un intégrateur différentiel. Il est défini par :

$$H_{ID} = \frac{V_o}{V_1 - V_2} = \frac{R_2}{sCR_1R_2 + R_1} \quad 3.36$$

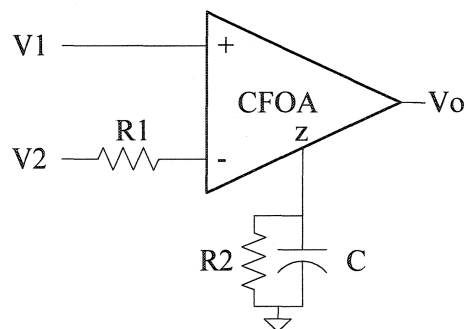


Figure 3.7. Intégrateur à entrée différentielle

Nous examinons, au cours du quatrième chapitre, le modèle à haute fréquence du *CFOA* à haute fréquence pour caractériser et concevoir un filtre passe-bande à fréquence centrale programmable.

3.6 Conclusion

Nous avons présenté dans ce chapitre les sources et les effets de la tension de décalage sur les performances du *CFOA* et nous avons proposé une nouvelle méthode de compensation. Ce circuit de compensation, intégré sur le même substrat, affecte peu les performances du *CFOA*. Les résultats de simulations obtenus confirment les objectifs visés. C'est-à-dire, une réduction de la tension de décalage, un faible bruit et taux de distorsion d'amplitude.

Les résultats obtenus seront analysés et présentés dans les chapitres suivants.

CHAPITRE 4

FILTRE PASSE – BANDE À FRÉQUENCE PROGRAMMABLE

4.1 Introduction

Au cours du deuxième chapitre, nous avons discuté des principales caractéristiques du *CFOA* avec compensation de la tension de décalage. Dans le présent chapitre, nous présentons quelques résultats du *CFOA* fabriqué en technologie *CMOS*, ainsi qu'une nouvelle topologie de filtre passe-bande à fréquence centrale programmable à l'aide d'un circuit numérique.

Plusieurs techniques ont été utilisées pour réaliser des filtres programmables [1][3][4][5][7][9][11]. Les filtres de type *GM-C*, composés d'amplificateurs opérationnels de type transconductance (*OTA*) souffrent d'une limitation de l'intervalle de linéarité de la transconductance [7]. Cette limitation de linéarité affecte la plage de variation de la fréquence du filtre et consomme plus d'énergie que ces concurrents en mode courant. Cependant, un filtre conçu autour du *CFOA* offre des meilleures performances en ce qui a trait à la plage dynamique, la simplicité de l'architecture du *CFOA*, et la linéarité de

phase cruciale dans certaines applications comme, le traitement de signaux audio et vidéo, et la distorsion harmonique.

Dans l'article suivant, accepté pour publication dans le journal « *Analog Integrated Circuit And Signal Processing* », nous proposons une nouvelle architecture de filtre passe-bande à fréquence centrale programmable. La programmation de cette fréquence est réalisée des résistances à l'aide de commutateurs basés sur des transistors *MOS*. Les principales caractéristiques recherchées pour ce filtre sont : bonne linéarité de la plage de fréquence désirée, circuit de programmation facile à contrôler et intégrer, faible bruit dans la bande passante et faible consommation d'énergie. Finalement, les résultats de stimulations et expérimentaux sont présentés.

4.2 DESIGN OF MONOLITHIC TUNABLE CMOS BAND - PASS FILTER USING CURRENT FEEDBACK OPERATIONAL AMPLIFIERS

DESIGN OF MONOLITHIC TUNABLE CMOS BAND-PASS FILTER USING CURRENT FEEDBACK OPERATIONAL AMPLIFIERS

M. Djebbi¹, A. Assi², and M. Sawan¹

¹PolySTIM Neurotechnology Laboratory, Department of Electrical Engineering
Ecole Polytechnique de Montréal, Canada

²Department of Electrical Engineering, United Arab Emirates University
moncef.djebbi@polymtl.ca

Abstract - We propose in this paper a tunable second order band-pass filter based on two CMOS current feedback operational amplifiers (CFOAs). The CFOA includes a novel offset compensation technique. A digital building block is implemented in the proposed band-pass filter to tune its central frequency. An important feature of the adopted tuning procedure is the ability to tune the filter without affecting other characteristics such as gain, phase and quality factor. The band-pass filter topology is validated with a configuration where the central frequency is tuned from 60 MHz to 95 MHz with frequency steps of 5 MHz. Measurements of the offset-compensated CFOA are promising, and simulation results of the CFOA-based band-pass filter using the 0.18 μm CMOS process confirm our theoretical analysis.

Keywords: CMOS analog integrated circuits, current feedback operational amplifiers, offset compensation, tunable band-pass filters, active filters, digital tuning.

4.2.1 Introduction

CFOAs are widely used in analog and mixed-signal analog/digital circuit and system designs such as analog-to-digital converters, filters, and many other building blocks used in communication systems [1], [2], [3], [4], [5], [6], [7], [9] and [11]. Compared to conventional amplifiers, the CFOA can provide not only constant bandwidth independent of the closed-loop gain, but also high slew rate capability and linear phase. Thus it is beneficial to use the CFOA as basic building block to realize various analog signal-processing circuits. Many techniques have been used to design programmable filters [1], [3], [4], [5], [7] and [9]. Gm-C continuous-time filters implemented with operational transconductance amplifiers (OTAs) suffer from the small linear range of the transconductors [7]. This forces the surrounding circuitry to interface the filters with small signals that are prone to noise and other undesirable effects. CFOA-based filters with various tuning schemes exhibit good performance. The complexity of their tuning circuits makes the implementation of CFOA-based filters impractical in certain digitally oriented CMOS technologies. In addition to the CFOAs, the band-pass filter presented in this paper includes five passive components: three resistors and two capacitors, and enjoys three basic advantages: 1) Use of offset compensated CFOAs, 2) Simplicity of the digital tuning scheme, and 3) Integration of the whole filter circuitry on a single chip.

In section 2, a description of the CFOA circuit with Spice simulations and experimental results are presented. In section 3, the CFOA-based band-pass filter is analyzed and

discussed. In section 4, Spice simulation results of the band-pass filter using 0.18 μm CMOS process are given.

4.2.2 Offset compensated CFOA

4.2.2.1 The CFOA circuit analysis

The schematic of the CFOA circuit is depicted in figure 4.1 [2]. As shown in this figure, the compensated CFOA consists of a basic CFOA and an offset compensation circuit. The CFOA is characterized by the following equations:

$$R_n = (g_{m2} + g_{m3} + g_{mb2} + g_{mb3})^{-1} \quad 4.1$$

$$R_z = \frac{g_{m13} + g_{d13} + g_{d12}}{g_{d12}g_{d13}} // \frac{g_{m14} + g_{d14} + g_{d12}}{g_{d12}g_{d14}} \quad 4.2$$

In equations (4.1) and (4.2), R_n and R_z are respectively the resistances at the inverting input (V_n) and the high impedance node (V_z) of the CFOA.

The compensation circuit consists of a voltage average circuit (M21-M23), two voltage subtractors (M24 - M27), and a pseudo negative input (M2', M3', M9', and M10'). The pseudo negative input generates a voltage V_{nr} very close to V_n under operating condition when M2', M3', M9', and M10' are matched with M2, M3, M9, and M10 respectively.

The reason behind adding the V_{nr} branch is to not alter (increase) the negative-input impedance of the CFOA when sensing the input offset voltage (i.e. evaluating the difference between V_n to V_p). Actually, increasing the negative-input impedance reduces the gain and the bandwidth of the CFOA. To prevent the performance degradation of the CFOA during the compensation process, the offset voltage is sensed between V_p and V_{nr} . This offset is essentially the offset of the input buffer (M1-M4).

From figure 4.1, it is clear that to let $V_n = V_p$ (i.e. $V_{os} = 0$) the following conditions should be satisfied:

$$V_{thn2} + \sqrt{\frac{2I_n L_2}{\mu_n C_{ox} W_2}} = V_{thp1} + \sqrt{\frac{2I_{cp} L_1}{\mu_p C_{ox} W_1}} \quad 4.3$$

$$V_{thn4} + \sqrt{\frac{2I_n L_4}{\mu_n C_{ox} W_4}} = V_{thp3} + \sqrt{\frac{2I_{cp} L_3}{\mu_p C_{ox} W_3}} \quad 4.4$$

The best way to satisfy conditions (4.3) and (4.4) is by adjusting I_{cp} and I_{cn} respectively to force $V_{gsp1} = V_{gsn2}$ and $V_{gsp3} = V_{gsn4}$ and consequently $V_{os} = 0$. In the following we will describe the compensation circuit and its ability to adjust I_{cn} and I_{cp} .

The voltage average circuit senses any imbalance (i.e. offset voltage) between V_n and V_p (i.e. V_{nr} and V_p) and produces a voltage V_m which is the average of V_n and V_p :

$$V_m = V_{th23} + \sqrt{\frac{2I_m L_{23}}{\mu_n c_{ox} W_{23}}} \quad 4.5$$

Where

$$I_m = \frac{1}{2} \mu_p c_{ox} \left(\frac{W_{22}}{L_{22}} \right) (V_{DD} - V_P - V_{thp22})^2 + \frac{1}{2} \mu_p c_{ox} \left(\frac{W_{20}}{L_{20}} \right) (V_{DD} - V_{nr} - V_{thp20})^2 \quad 4.6$$

Accuracy of such average depends on the measures taking to ensure high degree of matching between the PMOS devices M21 and M22. The average voltage V_m is then applied to the gates of M24 and M27 that generate voltages V_{cp} and V_{cn} respectively:

$$V_{cn} = V_{DD} - (V_{th26} + \sqrt{\frac{2I_{27} L_{26}}{\mu_n c_{ox} W_{26}}}) \quad 4.7$$

$$V_{cp} = V_{th25} + \sqrt{\frac{2I_{24} L_{25}}{\mu_p c_{ox} W_{25}}} \quad 4.8$$

Where

$$I_{24} = \frac{1}{2} \mu_p c_{ox} \left(\frac{W_{24}}{L_{24}} \right) (V_{DD} - V_m - V_{thp24})^2 \quad 4.9$$

$$I_{27} = \frac{1}{2} \mu_n c_{ox} \left(\frac{W_{27}}{L_{27}} \right) (V_m - V_{thp27})^2 \quad 4.10$$

The generated voltages V_{cp} and V_{cn} are then applied to the gates of M5 and M8 respectively that generate the proper currents I_{cp} and I_{cn} to satisfy conditions (4.3) and (4.4). So any average error between V_p and V_{nr} (i.e. between V_p and V_n) will adjust V_{cn} and V_{cp} and consequently adjust I_{cn} and I_{cp} , which result in reducing the average error (i.e. reducing the offset voltage). The accuracy of this compensation technique depends only on the accuracy of the voltage average and subtractors circuitries.

4.2.2.2 Simulation and experimental results of the CFOA

The CFOA circuit has been simulated with Spectre using the 0.18 μm CMOS technology. The power supply voltage and the bias current have been set to 1.8 V and 1.25mA respectively. Few nanoseconds are needed to stabilize the compensation circuit as shown in figure 4.2. The simulated input referred noise of the CFOA with a unity closed-loop gain configuration is presented in figure 4.3. The compensation circuit introduces a tiny increase in the input referred noise (10 nV/ $\sqrt{\text{Hz}}$ @1 KHz). The harmonic distortion (HD) of the CFOA was simulated for gain settings of 2 and 8 dB. The results are summarized in table 4.1.

The simulated DC power consumption of the CFOA is 1.5mW (with compensation) and 1.2 mW (without compensation). Figure 4.4 shows the experimental and the simulated results of the open-loop gain and the unity-gain bandwidth with and without offset-compensation. Table 4.2 summarizes the simulated and measured results of the CFOA.

The difference between experimental and simulation results is mainly caused by the addition of the compensation circuitry. Also, the interconnect parasitics (capacitors and resistors) play an important role in the deviation from the simulated results.

To simulate the DC offset voltage of the CFOA, a unity-gain closed-loop configuration is used, and an error of 10 mV is applied to the non-inverting input (V_P). Figure 4.5(a) shows that the compensation circuit reduces the offset voltage from 10 mV (without compensation) to 5 mV (with compensation).

Measurement of the fabricated CFOA is shown in Figure 4.5(b); the compensation circuit reduces more than 50% of the offset voltage (i.e. 5.4 mV). The CFOA microphotograph is shown in figure 4.6.

4.2.3 CFOA-based tunable band-pass filter

4.2.3.1 Filter configuration

As shown in figure 4.7, a CFOA is equivalent to a second-generation current conveyor [10] followed by a voltage buffer. Its characteristic can be modeled as

$$\begin{bmatrix} i_y \\ v_x \\ i_z \\ v_o \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \\ i_o \end{bmatrix}$$

$$i_x = i_z, i_y = 0, v_x = v_y \text{ and } v_o = v_z \quad 4.11$$

The second order band-pass filter with two CFOAs is shown in figure 4.8 [10]. The ac equivalent model of the filter circuit is shown in figure 4.9. In figure 4.9, R_n (Equ. 4.1) and C_n are the resistance and the capacitance associated to the negative input of the CFOA, while R_z (Equ.4.2) and C_z are the resistance and the capacitance associated to its high impedance node Z. Analysis of the ac equivalent model leads to the filter's transfer function:

$$H(s) = \frac{-a_0 s}{s^2 + \frac{\omega_0}{Q} + \omega_0^2} \quad 4.12$$

With

$$a_0 = \frac{R_3(R_1 + R_n)}{2R_1R_3R_nC_n + (R_nR_3(C_2 + C_z) + R_n^2C_n)(R_1 + R_2) + (R_1R_2R_3 + R_3R_n^2)(C_2 + C_z)} \quad 4.13$$

$$\omega_0 = \sqrt{\frac{R_3}{(C_z + C_1)(a_1 R_3 C_z + a_2 R_n^2 + a_3 R_n)}} \quad 4.14$$

$$\begin{cases} a_1 = R_n^2 + R_n(R_1 + R_2) + R_1 R_2 \\ a_2 = C_n(R_1 + R_2) + R_3 C_2 \\ a_3 = R_1 R_3 C_2 + 2R_1 R_2 C_n + R_2 R_3 C_2 \end{cases} \quad 4.15$$

$$\frac{\omega_0}{Q} = \frac{R_2 R_3 C_n + b_0(C_z + C_1)}{b_1 R_3^2 C_z + b_2 R_2^2 R_3 + b_3 R_n} \quad 4.16$$

$$\begin{cases} b_0 = R_n^2 + R_n(R_1 + R_2) + R_1 R_2 \\ b_1 = R_n(R_1 + R_2)C_z + R_1((R_n + R_2)C_2 + C_1 R_2) \\ b_2 = R_2^2 R_3(R_n C_2 C_z + R_1(C_1 C_2 + C_z)) \\ b_3 = R_n[R_n(C_n(R_1 + R_2) + R_3(C_2 + C_z)(C_z + C_1)) + (2R_1 R_2 C_n + R_3 C_1(C_z + C_2)(R_1 + R_2))] \end{cases} \quad 4.17$$

Choosing $R_1 = R_2 = R$, $R_3 = 2R$, $C_1 = C_2 = C$ and $C_n \ll C_z$ the design equations (4.2), (4.3), and (4.4) become:

$$a_0 = \frac{1}{(C + C_z)(R + R_n)} \quad 4.18$$

$$H(s) = \frac{s}{(C + C_z)(R + R_n) \left(s^2 + s \frac{\omega_0}{Q} + \omega_0^2 \right)} \quad 4.19$$

$$\omega_0 = \frac{1}{\sqrt{(C_z + C)(C_z R^2 + (C_z + C)(R_n^2 + 2R_n R))}} \quad 4.20$$

Assuming $(2C, C, C_z) \ll 1$ and $C_z^2 \ll C$ the design equation (4.6) can be expressed as:

$$\frac{\omega_0}{Q} = \frac{(C + C_z)(R_n^2 + 2R_n + R^2 + R)}{2R^3C_z + 4R^2R_nC(C + C_z) + 2RR_n^2(C + C_z)^2} \quad 4.21$$

From equations (4.20) and (4.21), the quality factor (Q) and the center-frequency-gain (T) are given by:

$$Q = \omega_0 \frac{2R^3C_z + 4R_nR^2C + 2RR_n(C + C_z)}{(R_n^2 + 2R_n + R^2 + R)} \quad 4.22$$

$$T = \frac{Q}{\omega_0} \frac{1}{\sqrt{(C_z + C)(C_zR^2 + (R_n^2 + 2R_nR)(C + C_z))}} \quad 4.23$$

4.2.3.2 On-chip digital tuning circuit

Tuning the center frequency is one of the main features that a filter must have. Many tuning circuits have been discussed and implemented in the literature of filters. In general, tuning a filter is quite complicated and often includes complex circuits. In this paper a simple tuning circuit is presented. This circuit is designed to reside alongside with the filter circuit on a single ship. An important characteristic of any circuit designed to

tune the center frequency of a filter is the ability to perform the desired tuning without affecting the remaining parameters: bandwidth, center-frequency-gain and phase.

According to equations (4.20-4.23), the center frequency can be varied by adjusting the value of any of the following components: R_1 , R_2 , R_3 , C_1 and C_2 . The values of resistances and capacitances associated to the negative input and the high impedance node of the CFOA are design dependent, and can be adjusted by a careful layout. Usually capacitors are fixed, and designers tend to vary resistors. Changing the value of R_1 , R_2 or R_3 can affect the magnitude, the bandwidth as well as the quality factor of the designed filter. Therefore to vary the center frequency without affecting other parameters, one must adjust simultaneously the value of components that compensate for any undesirable variation. In this design a relationship between R_1 , R_2 and R_3 is established for all desired frequencies.

Figure 4.10 illustrates the proposed tuning circuit that adjusts the center frequency of the filter. This circuit is composed of a 3-to-8 decoder, 8 transistors M_{11} - M_{18} and 8 integrated resistors R_{11} - R_{18} that adjusts the value of R_1 , 8 transistors M_{21} - M_{28} and 8 integrated resistors R_{21} - R_{28} that adjusts the value of R_2 , and 8 transistors M_{31} - M_{38} and 8 integrated resistors R_{31} - R_{38} that adjusts the value of R_3 . As shown in figure 4.10, the decoder has three digital inputs. For each input code $A_2A_1A_0$, only one output line is activated. The validated output line of the decoder activates three transistors M_{1n} , M_{2n} and M_{3n} . All transistors (switches) are assumed to be operated in the non-saturation

region with their sources connected to the bulk. The voltage of terminal D_N drives the gates of transistors M11-M18, M21-M28 and M31-M38. Transistors M11-M18 and resistors R11-R18 realize the variable resistor R1, transistors M21-M28 and resistors R21-R28 realize the variable resistor R2, while transistors M31-M38 and resistors R31-R38 realize the variable resistor R3. The PMOS transistors M11-M18, M21-M28 and M31-M38 acting as switches in this circuit have a resistance R_s that adds to the value of R1, R2 and R3 respectively. The value of R_s can be expressed as:

$$R_s = \frac{L}{W\mu_p C_{ox}(V_g - V_{thp})} \quad 4.24$$

And the variable resistors R1, R2 and R3 are given by:

$$R_1 = R_s + \sum_{n=1}^8 R_{1n} \quad 4.25$$

$$R_2 = R_s + \sum_{n=1}^8 R_{2n} \quad 4.26$$

$$R_3 = R_s + \sum_{n=1}^8 R_{3n} \quad 4.27$$

4.2.4 The filter simulation results

The tunable second order band-pass filter has been simulated with Spectre using the 0.18 μm CMOS process. The capacitors C_1 and C_2 have been set to 0.1pF, and the resistor $R_2 = 0.5\text{k}\Omega$. Figure 4.11.a shows the capability of tuning the center frequency and figure 4.11.b shows the corresponding phase. The input referred noise (Fig.4.11.c) of the filter was simulated for frequencies between 60 MHz and 95 MHz. The results are summarized in table 4.3. The input signal must be greater than input voltage noise for each frequency.

Table 4.4 shows the digital control bits $A_2A_1A_0$, the transistors (switches) which are in the ON state, the corresponding values of resistors $R1$ and $R3$, and the programmed center frequency ω_0 . We note here the ability to tune the center frequency without disturbing the gain, the phase, and the quality factor of the filter. This is a very attractive feature for many RF and video system applications.

4.2.5 Conclusion

A second order band-pass filter configuration using two current-feedback amplifiers (CFOAs) has been presented. The CFOA has been designed with an offset compensation circuit that makes the filter suitable for implementation on a single chip in today's digitally oriented CMOS technologies. An easy to implement digital tuning scheme is used in the proposed filter. A wide center frequency tuning range is obtained without

affecting the gain, phase and quality factor of the band-pass filter. The main claim in our work here is the simplicity of tuning the center frequency of the filter while maintaining the other characteristics constant, and this is a very attractive feature in video system applications. Another attractive feature is the ability to integrate the whole filter circuitries on a single chip. The proposed digital tuning method can be equally applied to realize other type of tunable filters such as high-pass, low-pass as well as notch filters.

ACKNOWLEDGMENTS

The authors would like to acknowledge NSERC for financial support and Canadian Microelectronics Corporation for technical support

REFERENCES

- [1] DENG J., ARONHIME P. and MAUNDY B., "Simulation of Coupled Tuned Circuits using CFOAs", IEEE ISCAS Proceedings, Vol. 1, pp. 41-44, May 1998.
- [2] DJEBBI M., ASSI A., and SAWAN M, "An Offset-Compensated Wide Bandwidth CMOS Current-Feedback operational Amplifier", IEEE CCECE, Vol.1, pp. 73-76, 2003.
- [3] ELWAN H.O. and SOLIMAN A., "A Novel CMOS Current Conveyor realization With an Electronically Tunable Current Mode Filter Suitable for VLSI", IEEE Transactions on Circuits and Systems II, Vol. 43, Issue N° 9, pp. 663-670, Sep. 1996.
- [4] HORNG J.W., "New Configuration For Realizing Universal Voltage-Mode Filter Using Two Current Feedback Amplifiers", IEEE, Transactions on Circuits and Systems, Vol. 49, N° 5, pp. 1043-1045, October 2000.
- [5] LIU S.I, "Universal filter using two current-feedback amplifiers", Electronics Letters, Vol. 31, N° 8, pp. 629-630, April 1995.
- [6] PALMBO G. and PENNISI S., "Current Feedback Amplifiers versus Voltage Operational Amplifier", IEEE Transaction on Circuits and Systems, Vol. 48, Issue N° 5, pp. 617-623, May 2001.

- [7] SALTHOUSE C.D. and SARPESHKAR R. S., "A Practical Micro-power Programmable band-pass Filter for Use in Bionic Ears", IEEE Journal of Solid-State Circuits, Vol. 38, Issue N° 1, pp. 63-70, January 2003.
- [8] SEDRA A. and SMITH K. C., "A second generation current conveyor and its applications", IEEE Transaction on Circuits and Systems, Vol. 17, pp. 132-134, February 1970.
- [9] SOLIMAN A. M. and AHMED SOLIMAN M., "New MOS-C Biquad Filter Using The Current Feedback Operational Amplifier", IEEE Trans. CAS, Vol.46, No.12, Dec.1999
- [10] SOLIMAN A. M., "Applications of the Current Feedback Operational Amplifiers", Analog Integrated Circuits and Signal Processing, Vol. 11, pp 265-302, November 1996.
- [11] TOKER A., GUNES E. O. and OZOGUZ S. E., "New high Q band pass filter configuration using current controlled current conveyor based all-pass filters", IEEE, ICECS 2001, Vol. 1, pp. 165-168, September 2001.

LIST OF FIGURES

| | |
|---|----|
| Figure 4.1 The offset compensated CFOA circuit | 79 |
| Figure 4.2 Stabilization of the compensated CFOA | 79 |
| Figure 4.3 Voltage noise versus frequency of the CFOA | 80 |
| Figure 4.4 Frequency response of the CFOA | 80 |
| Figure 4.5 The CFOA offset voltage | 81 |
| a) Simulation results; | |
| b) Experimental results. | |
| Figure 4.6 The CFOA microphotograph..... | 82 |
| Figure 4.7 Circuit symbol of the CFOA | 82 |
| Figure 4.8 The proposed tunable band-pass filter..... | 82 |
| Figure 4.9 AC equivalent model of the proposed filter circuit | 83 |
| Figure 4.10 The digital tuning circuit | 83 |
| Figure 4.11 Center frequency tuning of the band-pass filter | 85 |
| a) Magnitude. | |
| b) Phase. | |
| c) Voltage noise versus frequency. | |

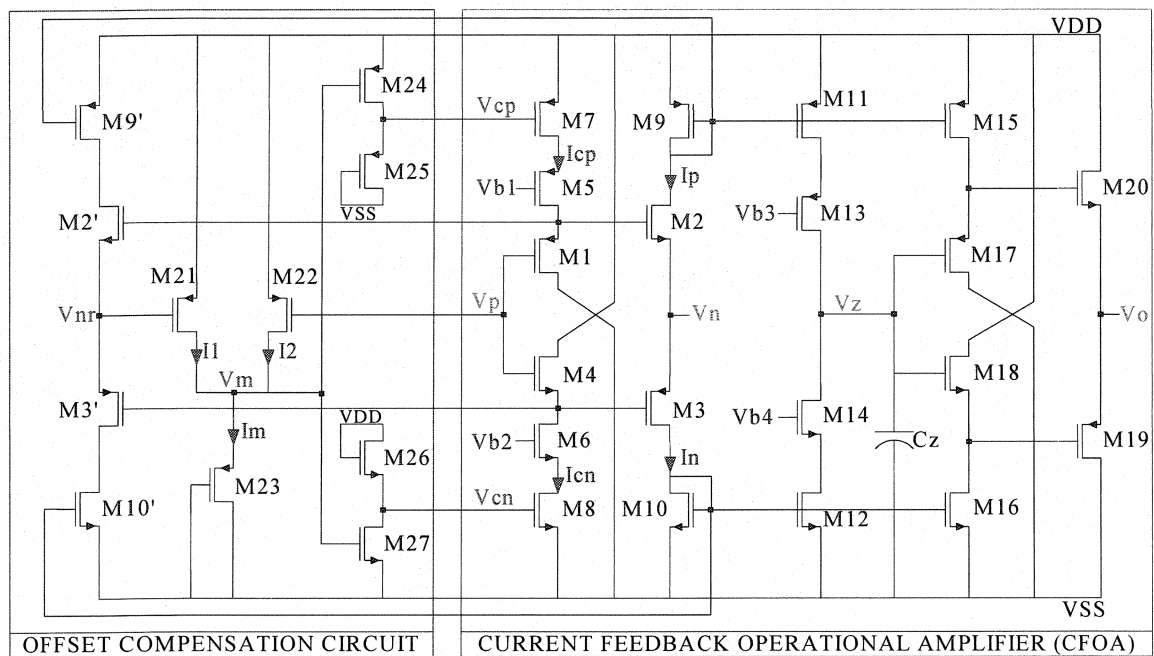


Figure 4.1

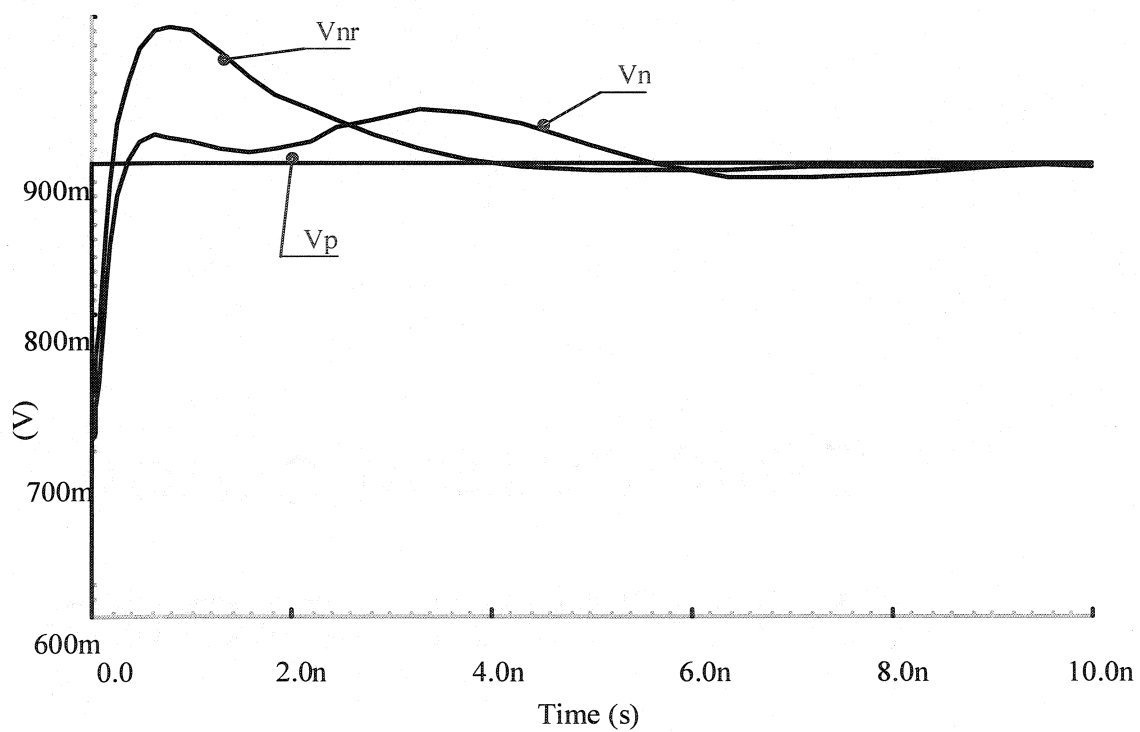


Figure 4.2

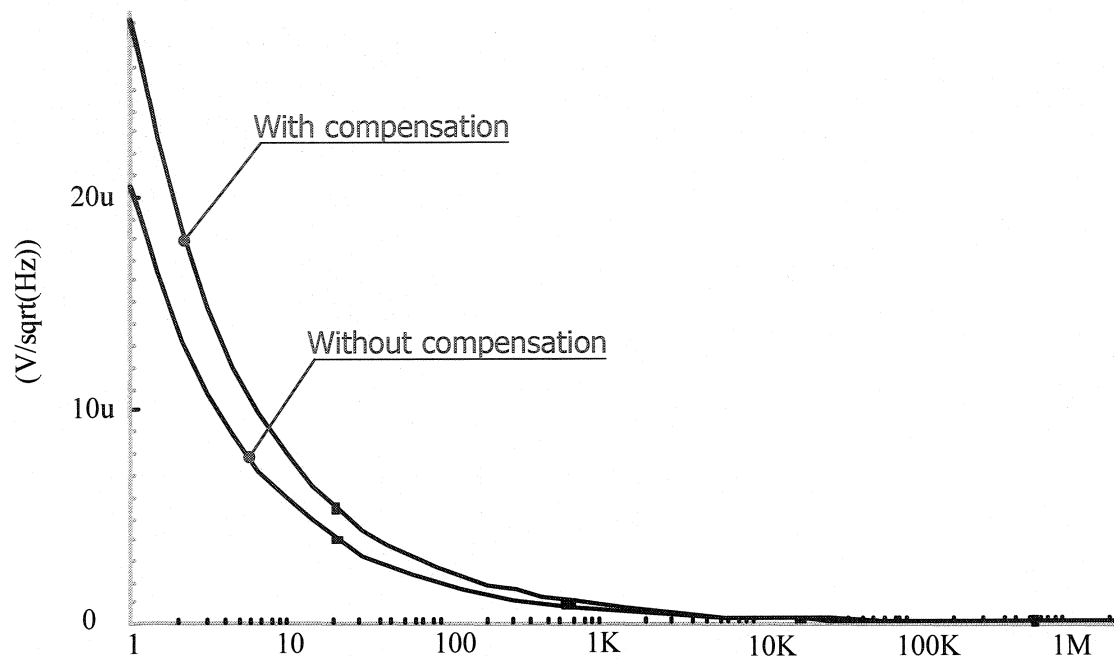


Figure 4.3

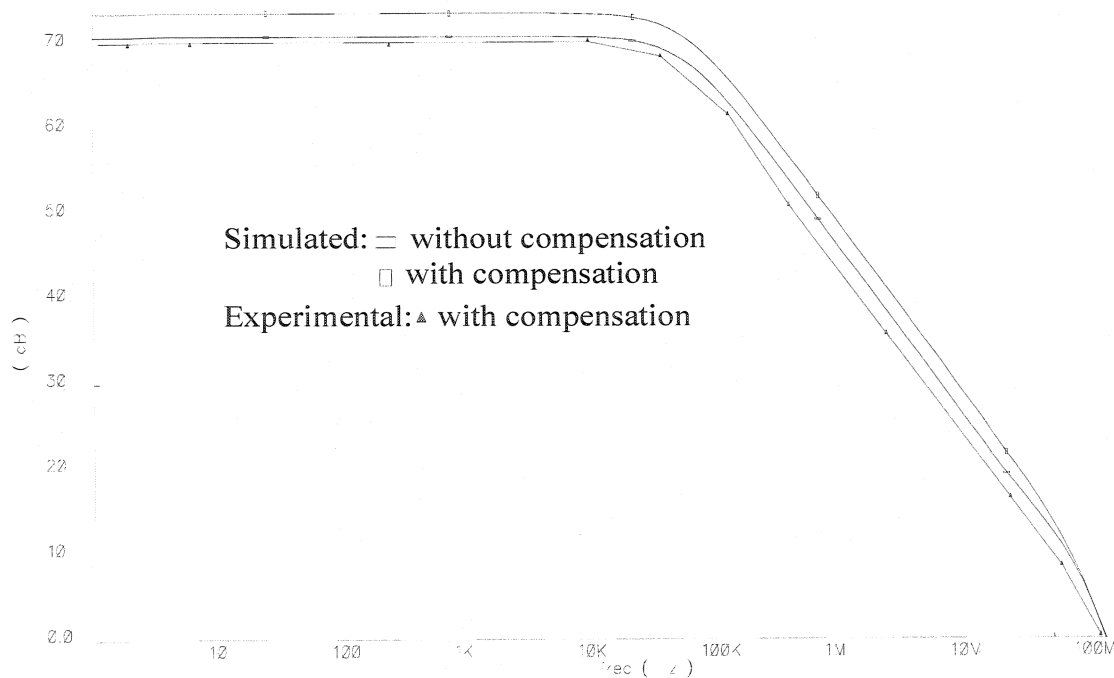
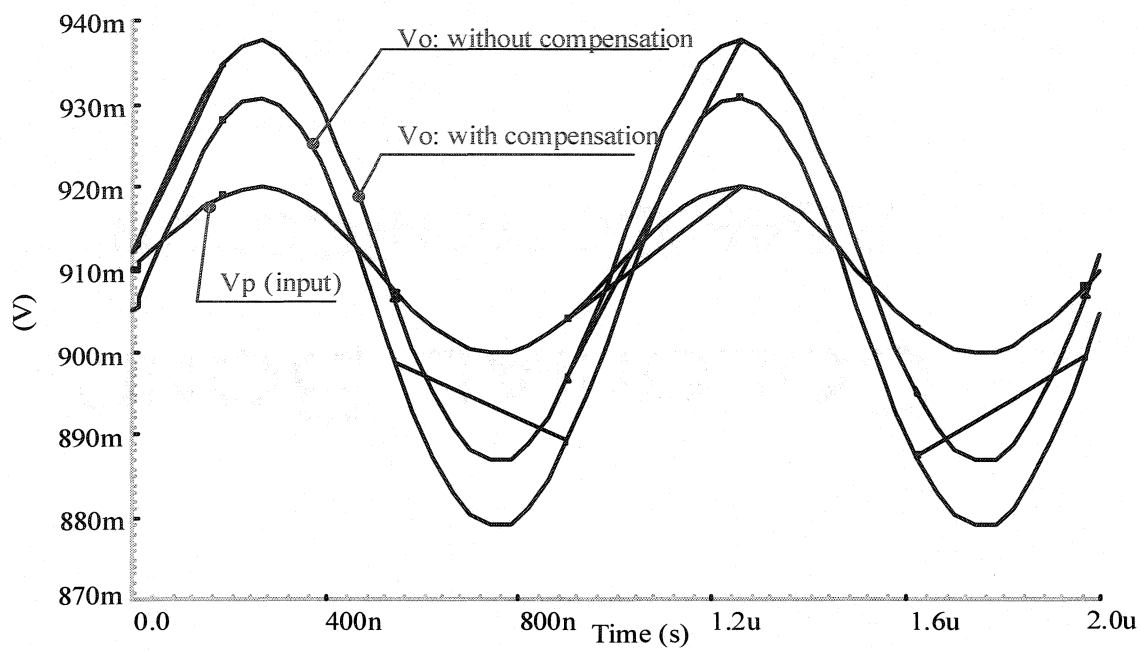
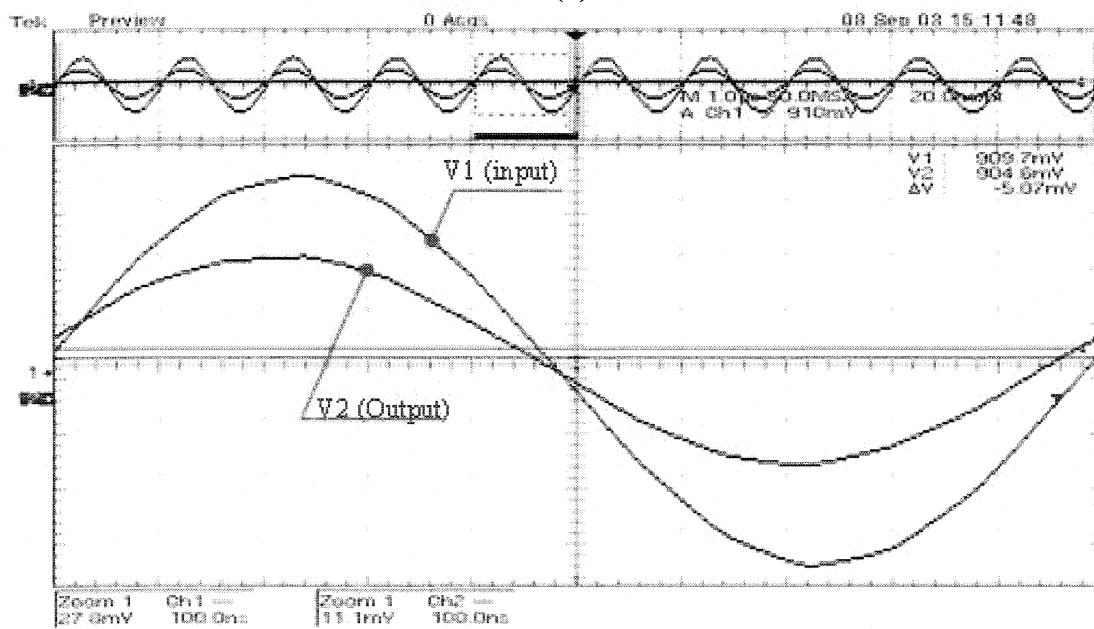


Figure 4.4



(a)



(b)

Figure 4.5

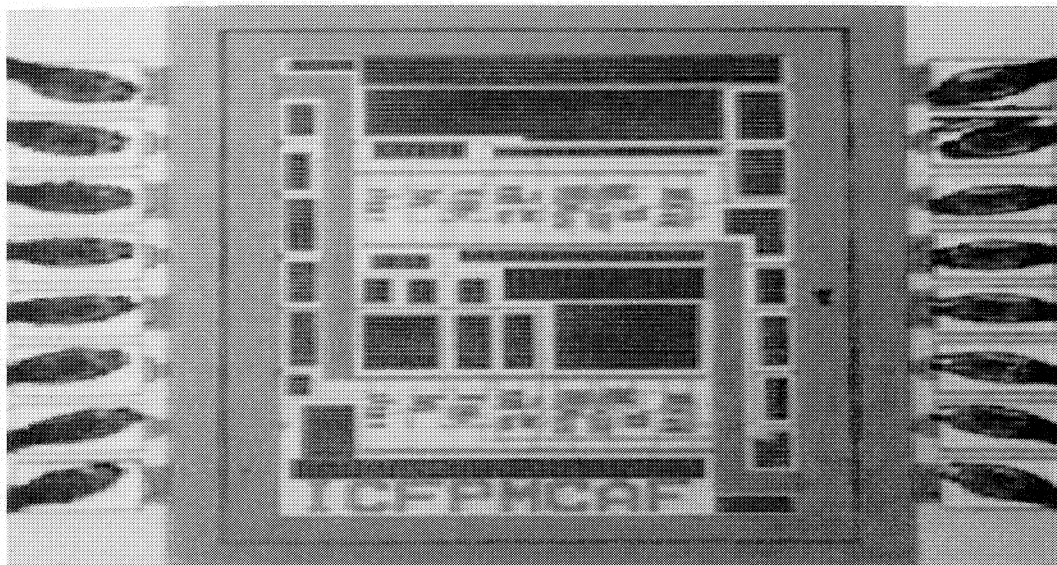


Figure 4.6

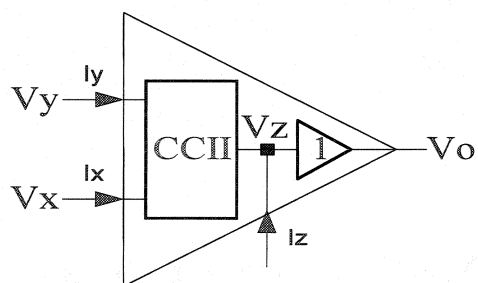


Figure 4.7

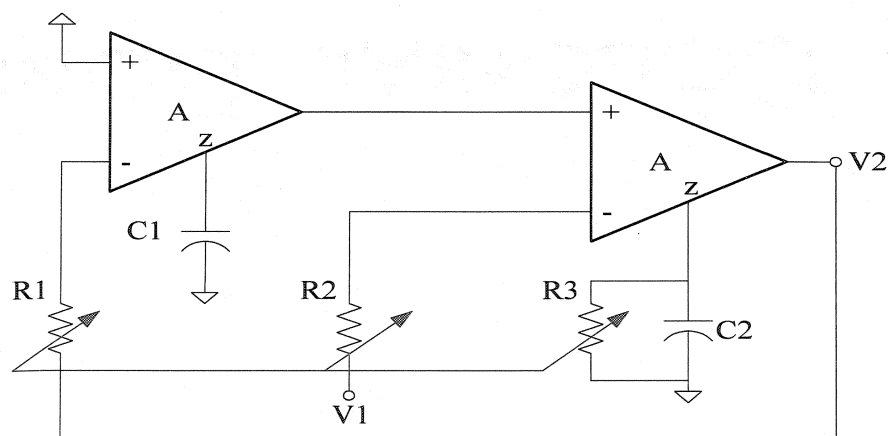


Figure 4.8

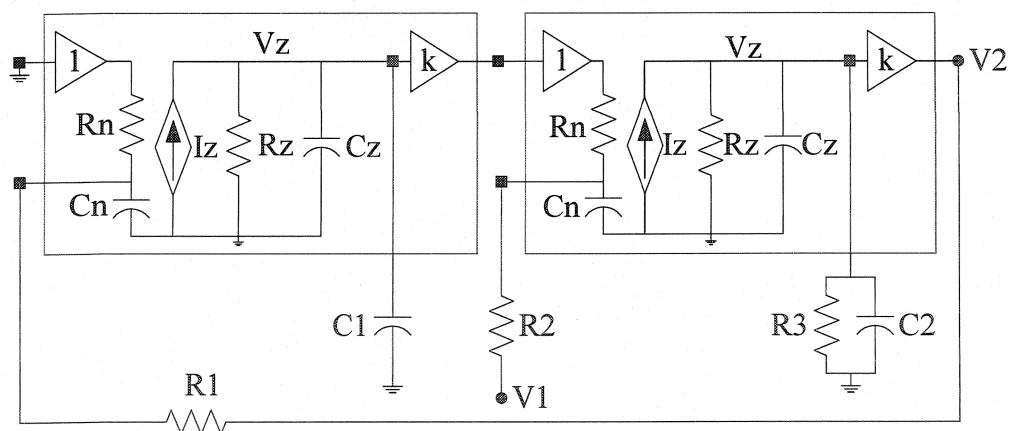


Figure 4.9

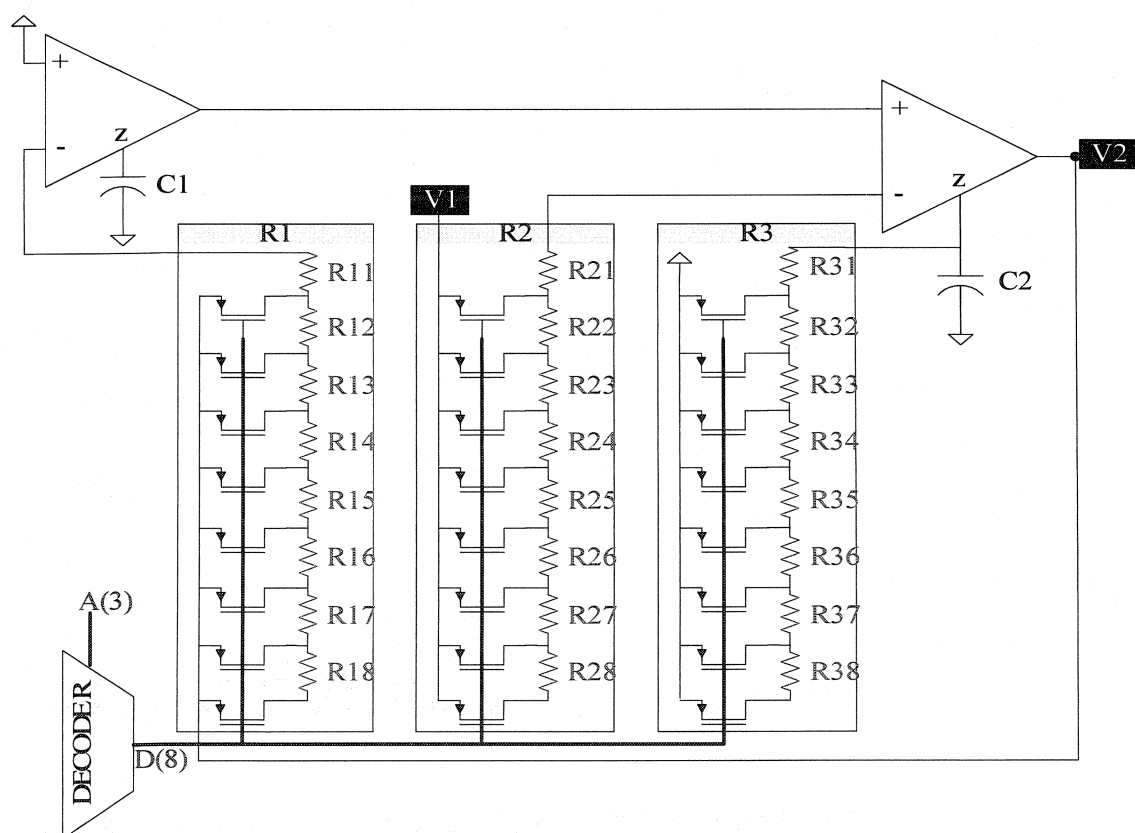
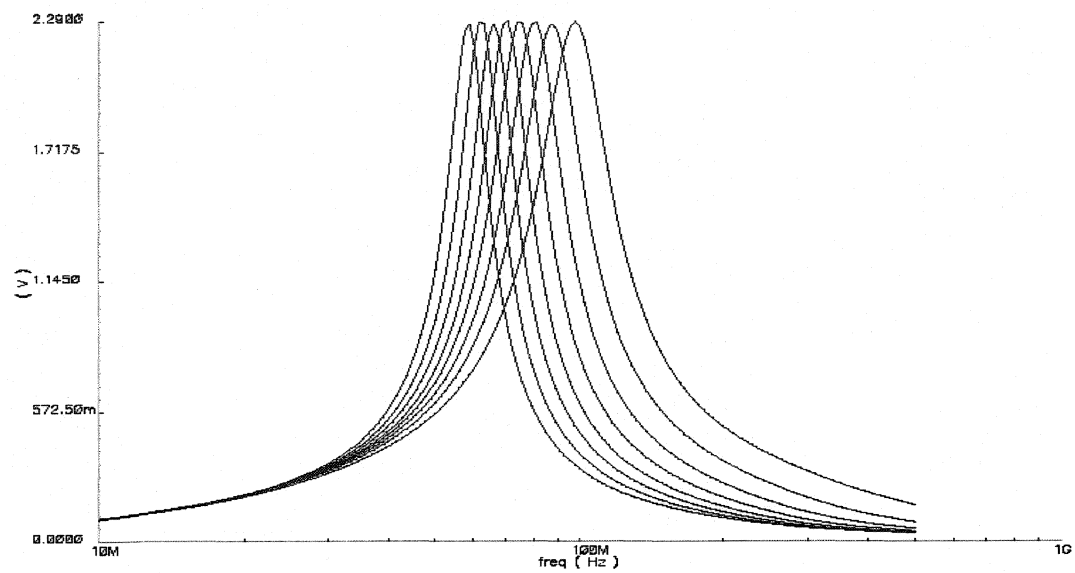
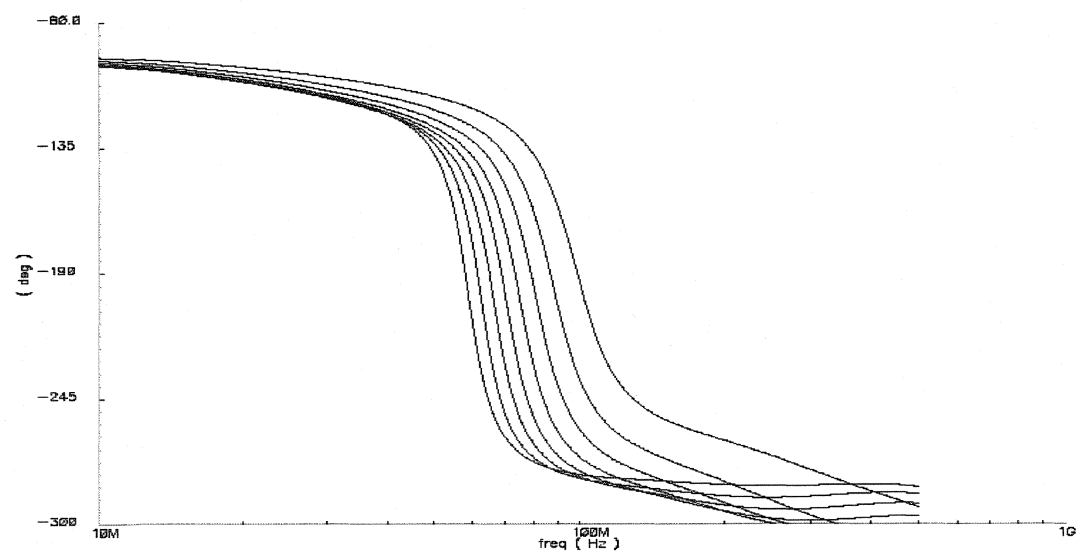


Figure 4.10



(a)



(b)

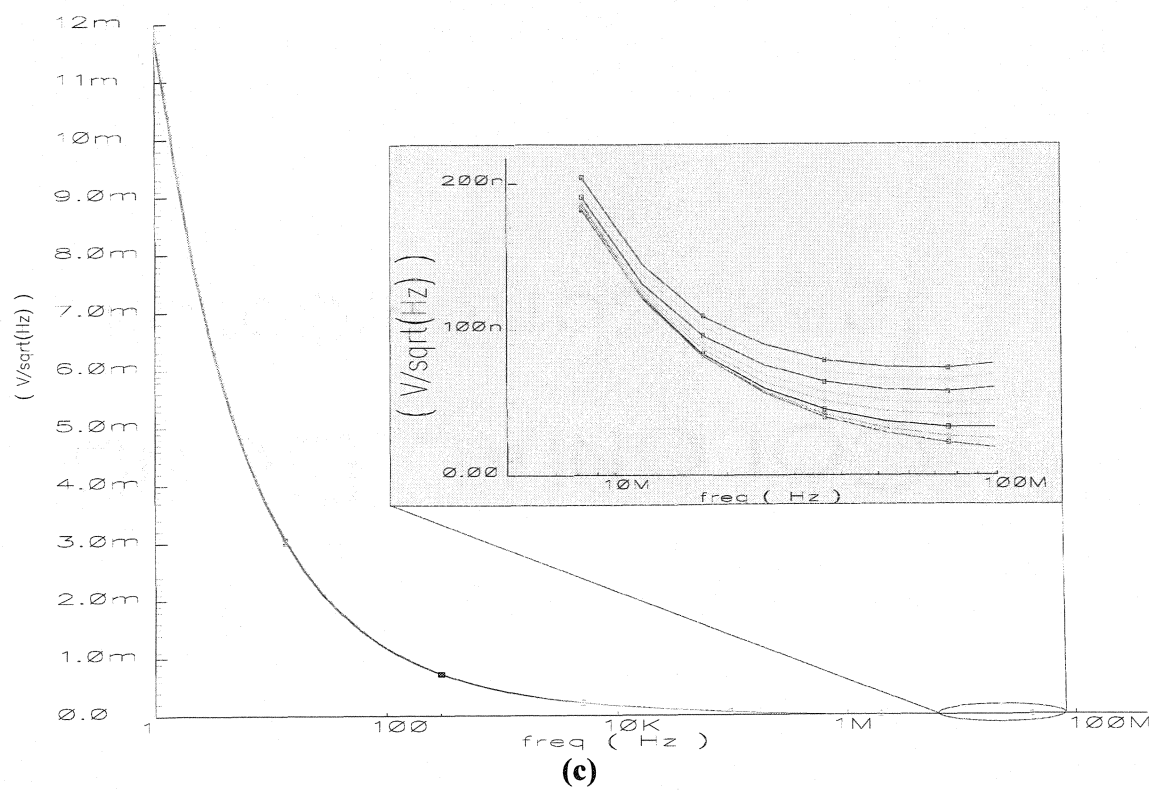


Figure 4.11

LIST OF TABLES

| | |
|---|----|
| Table 4.1 Harmonic distortion of the CFOA | 86 |
| Table 4.2 The simulated and measured results of the CFOA | 87 |
| Table 4.3 Voltage noise of the filter Harmonic distortion of the CFOA | 88 |
| Table 4.4 Programming the band-pass filter..... | 88 |

Table 4.1

| PARAMETERS | | | HD2 (dB) | |
|------------|---------------------|-----------------|-------------------|----------------------|
| GAIN (dB) | V _P (mV) | Frequency (MHz) | With Compensation | Without compensation |
| 2 | 100 | 1 | -42.5 | -45.0 |
| 8 | 40 | | -34.5 | -38.5 |
| 2 | 80 | 10 | -39.0 | -41.5 |
| 8 | 20 | | -32.5 | -36.5 |

Table 4.2

| PARAMETERS | Without compensation | With compensation | |
|---|----------------------|-------------------|----------|
| | Simulated | Simulated | Measured |
| Open Loop Gain (dB) | 73 | 71 | 70 |
| Unity Gain Bandwidth (MHz) | 160 | 160 | 152 |
| Input Noise Voltage @1kHz (nV/ $\sqrt{\text{Hz}}$) | 10 | 12 | - |
| Input Noise Current @1kHz (pA/ $\sqrt{\text{Hz}}$) | 253 | 253 | - |
| Slew rate (V/ μS) | 43 | 43 | 39 |
| Phase Margin @1pF (degree) | 45 | 45 | 48 |
| Power dissipation (mW) | 1.2 | 1.5 | 1.5 |

Table 4.3

| Frequency ω_0 (MHz) | Input noise voltage @ 1kHz (mV) | Input noise voltage @ ω_0 (μ V) |
|-------------------------------|------------------------------------|--|
| 93.998 | 0.31 | 21 |
| 88.944 | 0.32 | 28 |
| 84.163 | 0.33 | 34 |
| 79.638 | 0.34 | 41 |
| 74.665 | 0.35 | 50 |
| 69.682 | 0.36 | 58 |
| 64.138 | 0.37 | 68 |
| 59.309 | 0.38 | 71 |

Table 4.4

| SELECT $A_2A_1A_0$ | TRANSISTORS IN THE ON STATE | R1 (K Ω) | R2 (K Ω) | R3 (K Ω) | Frequency ω_0 (MHz) | Gain @ ω_0 (V/V) |
|-----------------------|--------------------------------|---------------------|---------------------|---------------------|-------------------------------|----------------------------|
| 000 | M11, M21, M31 | 0.50 | 0.50 | 1.00 | 93.998 | 2.285 |
| 001 | M12, M22, M31 | 1.00 | 1.00 | 1.90 | 88.944 | 2.287 |
| 010 | M13, M23, M31 | 1.50 | 1.50 | 2.78 | 84.163 | 2.267 |
| 011 | M14, M24, M31 | 2.32 | 2.32 | 4.25 | 79.638 | 2.245 |
| 100 | M15, M25, M31 | 3.50 | 3.50 | 6.39 | 74.665 | 2.259 |
| 101 | M16, M26, M36 | 5.00 | 5.00 | 9.14 | 69.682 | 2.282 |
| 110 | M17, M27, M37 | 7.50 | 7.50 | 14.05 | 64.138 | 2.263 |
| 111 | M18, M28, M38 | 10.60 | 10.60 | 21.20 | 59.309 | 2.244 |

4.3 Conclusion

Au cours de ce chapitre, nous avons proposé une nouvelle topologie d'un filtre passe-bande à fréquence centrale programmable. Elle est caractérisée par un gain indépendant de la fréquence centrale, de la bande passante et moins sensible aux erreurs de fabrication de circuits *CMOS*. Il est à noter que les caractéristiques du *CFOA* proposées sont une réduction supérieure à cinquante pour cent de la tension de décalage et une diminution de gain de 3dB en tension. En ce qui concerne le filtre, un gain presque constant en fonction de la fréquence centrale et un bruit de quelques Microvolts pour une fréquence allant de 60 MHz à 95 MHz ont été obtenus.

Dans le dernier chapitre, nous présentons une analyse supplémentaire des résultats obtenus par simulation et autres expérimentaux et nous discutons quelques points saillants pour l'amélioration et l'intégration du filtre.

CHAPITRE 5

ANALYSES DES RÉSULTATS COMPLÉMENTAIRES DU CFOA ET DU FILTRE

5.1 Introduction

Notre attention se portera dans ce chapitre sur l'analyse comparative des résultats du *CFOA* et du filtre passe-bande à fréquence programmable. Ce chapitre comportera trois parties. La première consiste à mesurer les caractéristiques du *CFOA* avec et sans compensation de la tension de décalage finir cette partie par une identification des différences entre les résultats visés et obtenus et les effets du circuit de compensation sur les performances du *CFOA*. La seconde consiste à analyser les paramètres qui caractérisent le filtre que nous proposons dans ce projet et finalement conclure ce chapitre de résultats.

5.2 Caractéristiques du CFOA avec compensation

Les résultats de simulation du *CFOA* avec compensation de la tension de décalage ont été réalisés avec la technologie *CMOS* 0.18 μm et le logiciel Spectre offerts par la Société Canadienne de Microélectronique (*SCM*). Alors que les résultats expérimentaux sont

obtenus d'une puce fabriquée par la même technologie et en se servant des appareils de tests tels que : l'oscilloscope numérique, générateur de fonctions *DC* et *AC*, analyseur de spectre, etc.

5.2.1 Taux de rejet de la tension d'alimentation

Le taux de rejet de la tension d'alimentation *PSRR* (*Power Supply Rejection Ratio* - *PSRR*) exprime la sensibilité de la tension de sortie de l'*ampop* aux fluctuations de la tension d'alimentation (Equ.5.1):

$$PSRR = 20 \log \left(\frac{\Delta V_{ps}}{\Delta V_o} \right) (dB) \quad 5.1$$

Où V_{ps} est la tension d'alimentation.

Plus la valeur de *PSRR* est élevée plus le *CFOA* est moins sensible aux variations de la tension d'alimentation. La figure 5.1 présente les courbes de *PSRR+* et de *PSRR-* obtenues par simulation. Au-delà de 20 MHz, on note une légère diminution du *PSRR+* et *PSRR-* du *CFOA* avec compensation qui est due à la diminution du gain de l'étage d'entrée.

5.2.2 Taux de rejet du mode commun

Le taux de rejet de la tension de mode commun (*Commun Mode Rejection Ratio- CMRR*) est le rapport entre le gain du mode différentiel et le gain du mode commun (Equ.5.2):

$$CMRR = 20 \log \left(\frac{A_d}{A_c} \right) (dB) \quad 5.2$$

Où A_d et A_c sont le gain du mode différentiel et du mode commun.

Plus le $CMRR$ est élevé moins le $CFOA$ est sensible aux signaux de bruit. La simulation du $CFOA$ nous donne 54 dB pour une fréquence inférieure à 10 KHz. Ce résultat est acceptable pour certaines applications qui sont moins sensibles au bruit, par exemple un filtre. Car le rôle principal d'un filtre est de couper les signaux ayant les fréquences se trouvant en dehors de la bande passante. Il faut noter que des auteurs ont proposé des améliorations du PSRR et CMRR du CFOA en technologie bipolaire [28].

5.2.3 Pente de la tension de sortie

La vitesse maximale de montée ou de descente du signal de sortie (*Slew Rate*) est généralement donnée pour un signal échelon (Equ.5.3).

$$SR = \frac{\Delta V_o}{\Delta t} (V / \mu s)$$

5.3

Les résultats obtenus sont intéressants, mais avec une légère différence entre le SR obtenu par simulation et par test expérimental. Cette différence est due aux capacités parasites du circuit de test et des appareils de mesures.

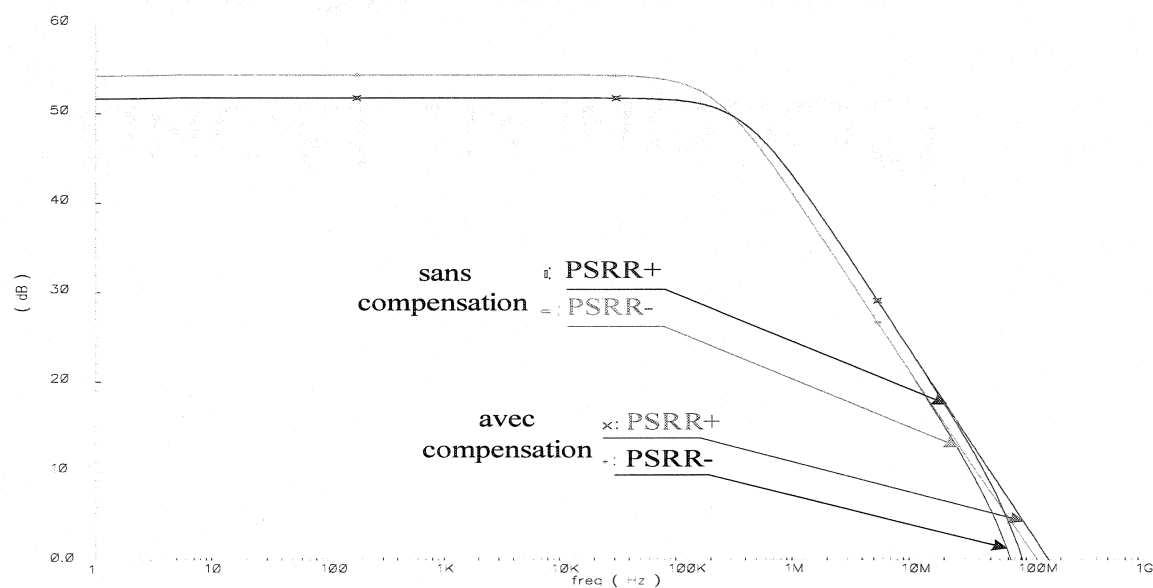


Figure 5.1. Simulation du PSRR du CFOA

5.2.4 Plage de la tension de sortie

L'amplitude maximale de la tension de sortie (output voltage swing) dépend en général de la fréquence et/ou de l'amplitude du signal que l'on peut appliquer à l'entrée du *CFOA* sans que le signal de sortie ne subisse une distorsion. Les résultats de la plage de tension de sortie sont présentés dans le tableau 5.1.

Tableau 5.1. Caractéristiques du CFOA proposé

| PARAMETRES | Sans compensation | Avec compensation | |
|--|-------------------|-------------------|-------------|
| | Simulé | Simulé | Mesuré |
| Gain DC (dB) | 73 | 71 | 70 |
| Fréquence à gain unitaire (MHz) | 160 | 160 | 152 |
| Tension de bruit $V_p @ 1\text{kHz}$ (nV/ $\sqrt{\text{Hz}}$) | 10 | 12 | 14.5 |
| Courant de bruit $V_n @ 1\text{kHz}$ (pA/ $\sqrt{\text{Hz}}$) | -253 | -253 | -264.9 |
| Pente de la tension de sortie SR (V/ μs) | 43 | 43 | 39 |
| Temps de réponse (ns) | 72.5 | 72.5 | 79.3 |
| Marge de Phase @ 1pF | 45 | 45 | 48 |
| PSRR+ @ F < 10 KHz (dB) | 54.6 | 51.6 | 50.9 |
| PSRR- @ F < 10 KHz (dB) | 51.6 | 54.2 | 53.8 |
| CMRR @ F < 10 KHz | 56 | 54 | 52.7 |
| CMR | 0.494 1.228 | 0.494 1.228 | 0.504 1.231 |
| Vo:[min, max] (V) | 0.462 1.249 | 0.462 1.249 | 0.462 1.249 |
| Rz (M Ω) | 7.4 | 7.4 | * |
| Résistance Rn (Ω), Rp(T Ω) | 672 1.6259 | 672 1.6259 | 676 1.6259 |
| Résistance Ro (Ω) | 505 | 550 | 560 |
| Puissance dissipée (mW) | 1.2 | 1.5 | 1.5 |
| Surface du CFOA (μm^2) | 150x60 | | |
| Surface du circuit de compensation (μm^2) | 50x40 | | |
| Surface du CFOA compensé (μm^2) | 150x100 | | |

Note : * pas d'accès au noeud Vz du circuit fabriqué

5.2.5 Bruit reflété à l'entrée

Selon les courbes présentées à la figure 4.3, on constate que le bruit reflété à l'entrée du *CFOA* est très faible, il est de l'ordre de quelque nanovolt.

5.2.6 Résistances et effets

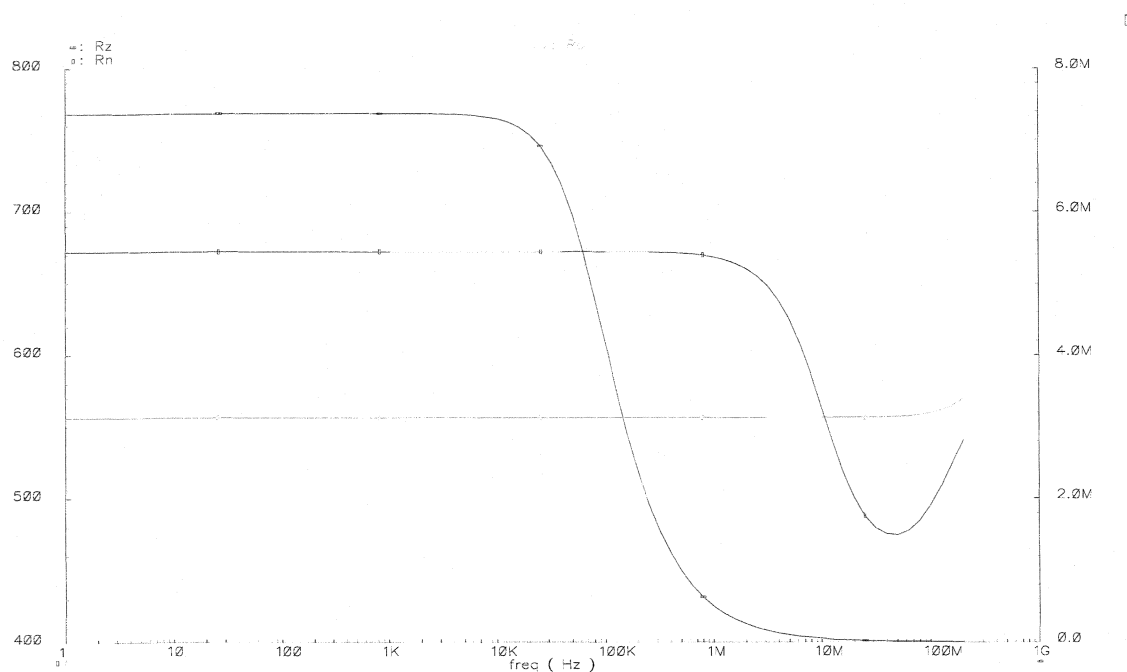


Figure 5.2. Simulation des résistances R_n , R_o et R_z du *CFOA*

Dans la section 2.3.2, nous avons démontré que la résistance R_n idéalement égale à zéro. Cette propriété est nécessaire pour un ajustement du gain sans affecter la bande passante du *CFOA*. La figure 5.3 présente les trois courbes illustrant la résistance R_n , R_o et R_z du *CFOA* avec compensation. Il faut noter que le circuit de compensation proposé prend en considération ces paramètres. En effet, ni son architecture ni ces connections avec le

CFOA n'affecte les résistances d'entrées (R_n , R_p), de sortie (R_o) et de l'étage de gain (R_z).

5.2.7 Tension de décalage

Afin de valider et de mesurer la performance du circuit de compensation de la tension de décalage que nous avons développé au cours de ce travail, nous avons excité le CFOA par une tension DC variable. Les courbes obtenues à l'aide du simulateur sont présentées sur la figure 5.3. Il faut noter que la tension de décalage est réduite de 50% pour une plage de tension d'erreur allant de 0 à 1.8 Volt. On note une similitude entre les résultats obtenus par simulation et par test expérimental.

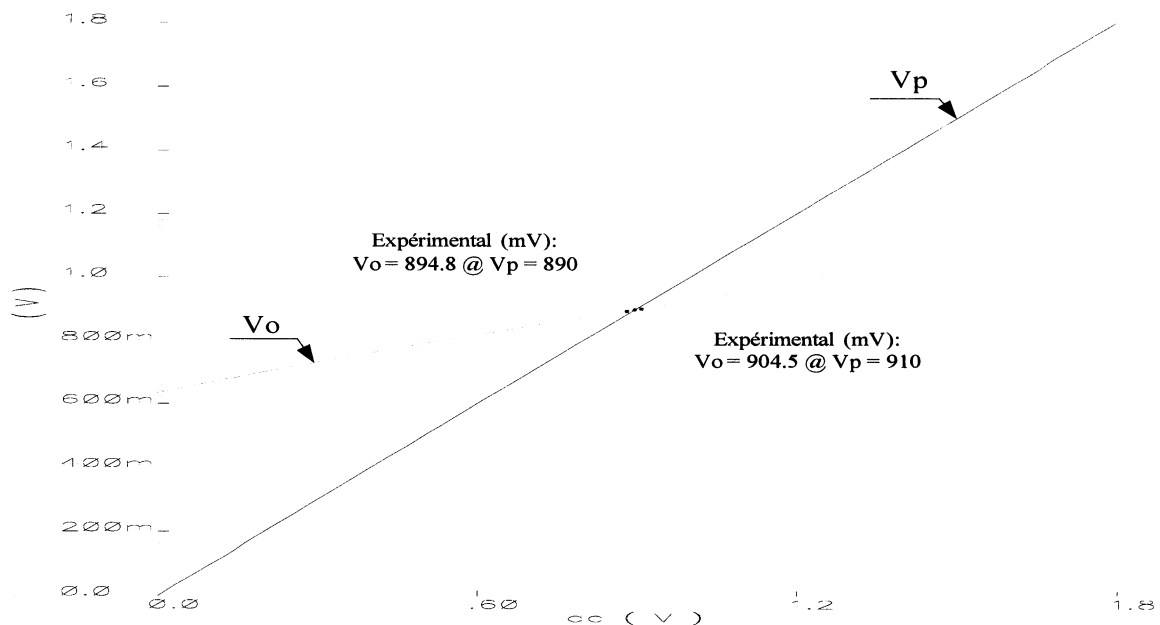


Figure 5.3. Résultats de la tension de décalage du CFOA

5.2.8 Résultats de la distorsion d'amplitude

Pour mesurer l'effet de la linéarité du *CFOA* (sections 2.3.3, 2.3.4 et 3.2.2) nous avons effectué des tests comparatifs.

Sans compensation : la figure 5.4 (a) présente un exemple de simulation de la distorsion harmonique. Les résultats obtenus sont calculés à l'aide de l'équation (2.6) après avoir effectué une analyse *DFT* (*Discrete Fourier Transform*) sur le signal de sortie.

Avec compensation : en utilisant les mêmes techniques, nous avons obtenu la distorsion harmonique du *CFOA* avec compensation. La figure 5.4 (b) présente un exemple de la distorsion harmonique obtenue par une analyse *DFT* sur le signal de sortie.

Après fabrication : nous avons effectué les tests nécessaires pour évaluer la distorsion harmonique du *CFOA*, et comparer les résultats obtenus. La figure 5.4 (c) présente la distorsion d'amplitude du *CFOA* obtenue par une analyse *FFT* (*Fast Fourier Transform*) et l'ensemble des résultats de la distorsion harmonique *HD2* sont résumés dans le tableau 5.2.

En comparant les résultats, on constate que:

- La distorsion harmonique obtenue par simulation du *CFOA* avec et sans compensation ne présente qu'une légère différence. Cette diminution est due au gain de l'étage d'entrée du *CFOA* avec compensation qui est inférieur à celui du sans compensation;

La distorsion harmonique résumée du *CFOA* avec compensation est égale à celle obtenue par simulation;

- Le circuit de compensation de la tension de décalage que nous avons proposé n'a pas d'effet significatif sur la distorsion harmonique du *CFOA*.

Tableau 5.2. Distorsion harmonique du CFOA

| PARAMETRES | | | HD2 (dB) Avec compensation | | HD2 (dB) sans compensation |
|------------|---------------------|------------|-------------------------------|--------|-------------------------------|
| Gain (dB) | V _P (mV) | F (MHz) | Simulé | Mesuré | Simulé |
| 2 | 100 | 1 | -42.5 | -42.6 | -45 |
| 8 | 40 | | -34.5 | -34.7 | -38.5 |
| 2 | 80 | 10 | -39.0 | -39.2 | -41.5 |
| 8 | 20 | | -32.5 | -32.6 | -36.5 |

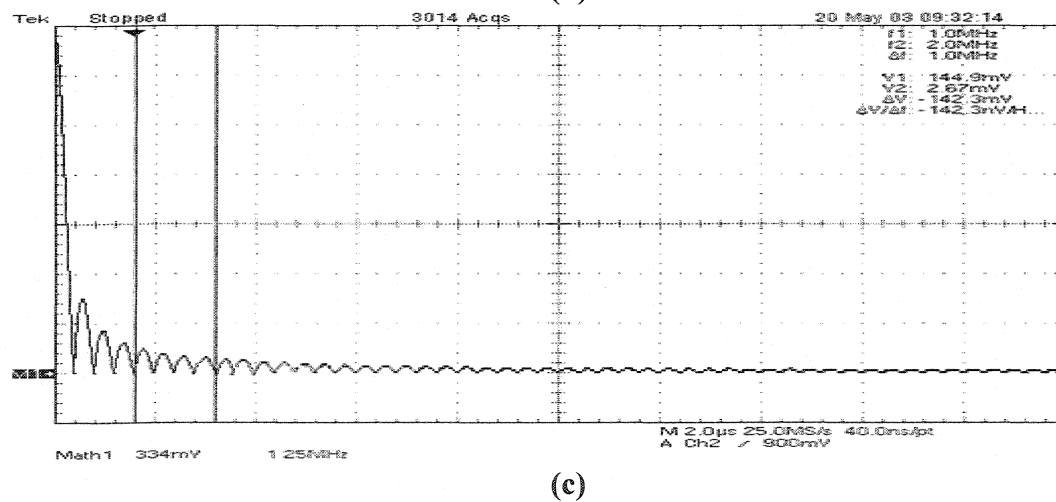
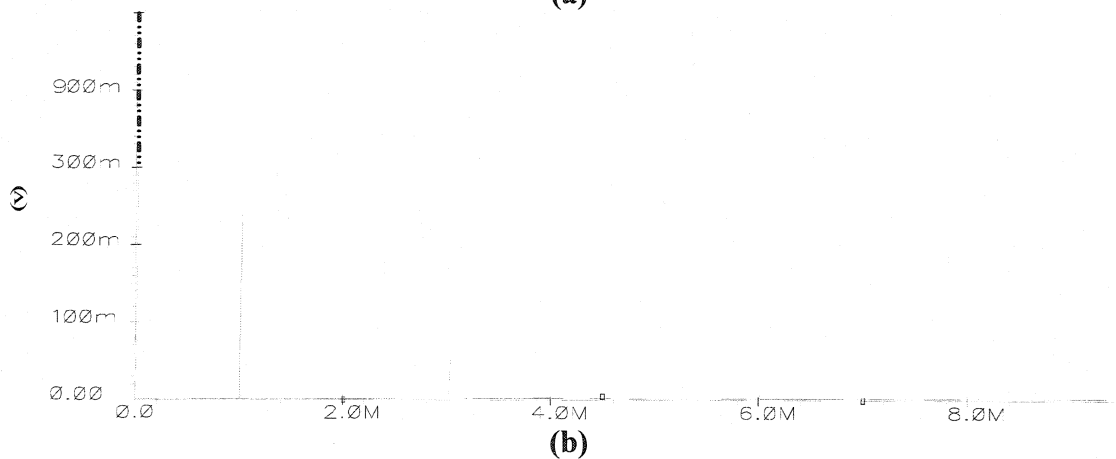
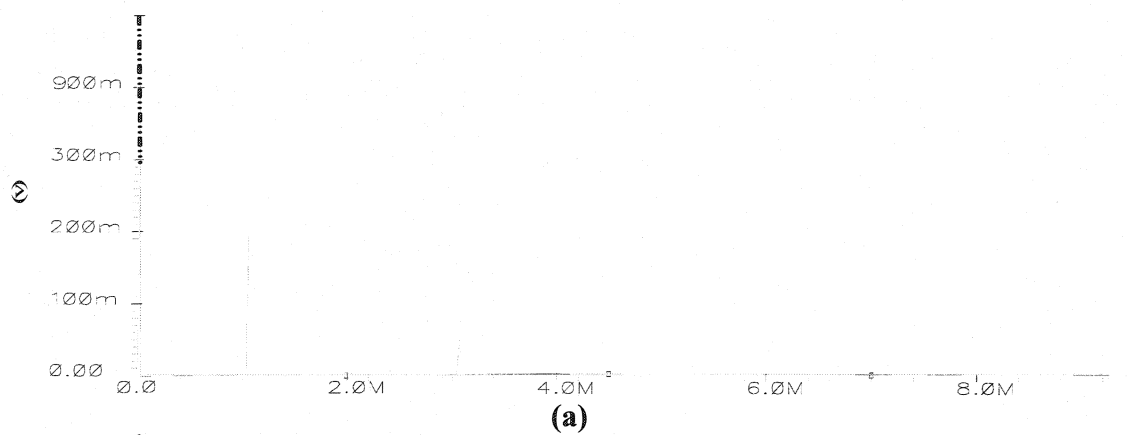


Figure 5.4. Distorsion harmonique: a) simulée sans compensation, b) simulée avec compensation, c) mesurée avec compensation.

5.2.9 Caractéristiques en boucle fermée

Les courbes de la figure 5.5 représentent la réponse en fréquence du *CFOA* en boucle fermée. Pour obtenir ces courbes, nous avons varié la résistance R_1 tout en maintenant R_2 constante. Les différents résultats de gain et de la fréquence de coupure sont résumés dans le tableau 5.3.

Tableau 5.3. Caractéristiques du CFOA en boucle fermée

| PARAMETRES | G_1 | G_2 | G_3 |
|------------------------------------|-------|------|-------|
| Gain (dB) @ $R_2=2\text{ K}\Omega$ | 11.28 | 6.29 | 2.25 |
| Fréquence @ -3 dB (MHz) | 54.9 | 71.8 | 95.49 |
| Résistance R_1 | 1 | 0.6 | 0.25 |

On note une différence entre les fréquences qui est due à la résistance non nulle R_n (voir section 2.3.2). Pour avoir une bande constante, il suffit de varier les résistances R_1 et R_2 selon les équations (2.11) et (2.12). Cependant, la différence qu'on vient d'observer entre les trois fréquences est moins drastique que celle observée pour un *VFOA*.

5.3 Caractéristiques du circuit de compensation

Pour avoir un effet minimal sur le niveau de bruit du *CFOA*, nous avons proposé un circuit de compensation qui se caractérise par un faible niveau de bruit et gain en tension

inférieure à un. Afin de valider notre proposition, une analyse comparative du comportement en bruit du circuit de compensation et du *CFOA* est nécessaire.

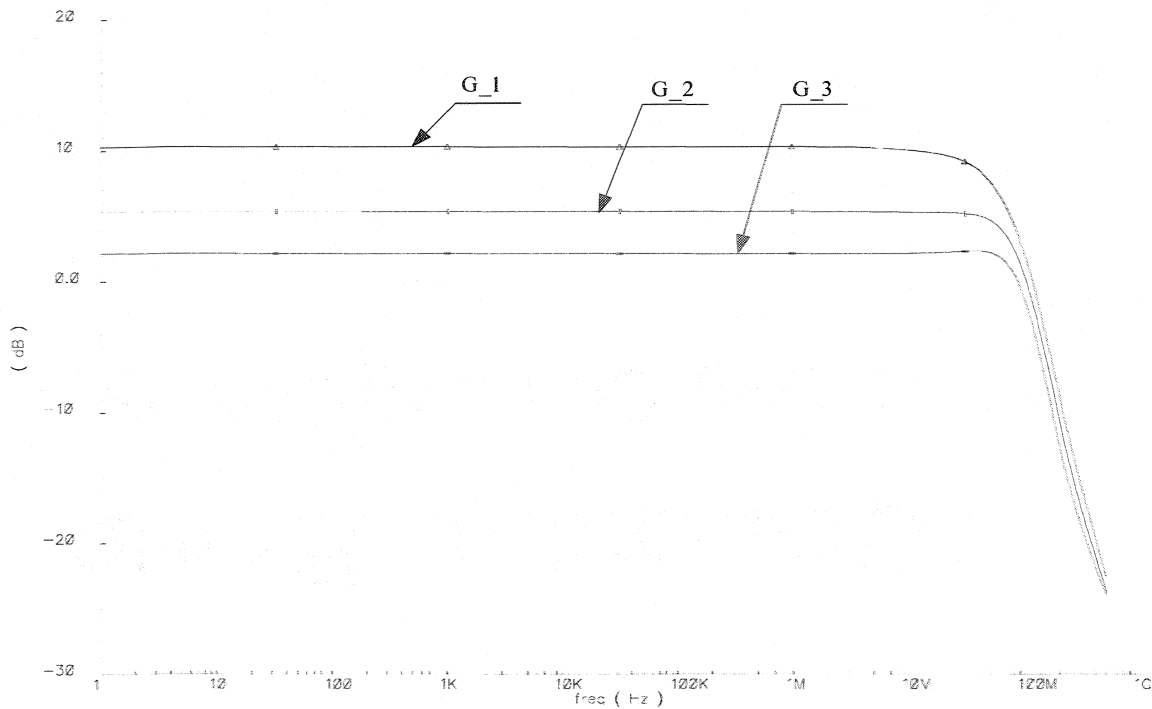


Figure 5.5. Caractéristique en boucle fermée du CFOA

5.3.1 Densité du bruit et effets

La figure 5.6 illustre le niveau de bruit ramené à la sortie du circuit de moyenne, et des circuits soustracteurs analogiques (*S1* et *S2*). Le niveau de bruit atteint un maximum pour une fréquence inférieure à 2 MHz. Il est de $29nV/\sqrt{Hz}$ pour *S1*, de $12nV/\sqrt{Hz}$ pour *S1* et de $9.5nV/\sqrt{Hz}$ pour le circuit de moyenne, car les transistors NMOS ont un niveau de bruit supérieure à celui des transistors PMOS en raison de leurs constitutions. Donc, on note une différence de $17nV/\sqrt{Hz}$ entre les deux circuits *S1* et *S2*.

Pour mesurer l'effet du circuit de compensation sur le niveau de bruit du *CFOA*, nous avons simulé le *CFOA* sans et avec le circuit de compensation. Les courbes du niveau de bruit pour chaque circuit sont présentées dans la figure 5.7. Pour une fréquence inférieure à 2 MHz, le niveau de bruit du *CFOA* avec compensation atteint son maximum, il est de $29nV/\sqrt{Hz}$, alors que le *CFOA* sans compensation son niveau maximal de bruit est de $12nV/\sqrt{Hz}$. Cette légère augmentation du bruit est due aux bruits injectés par le circuit de compensation à l'étage d'entrée du *CFOA*.

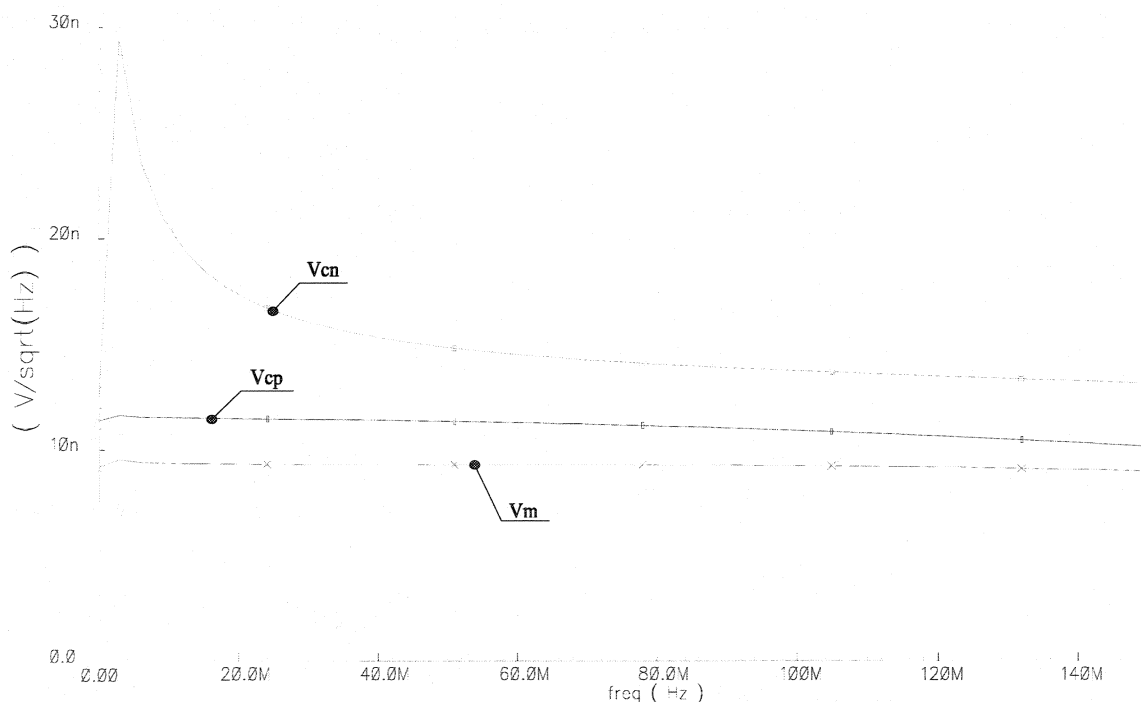


Figure 5.6. Densité spectrale du bruit du circuit de compensation

En effet, pour minimiser l'effet du circuit de compensation sur le niveau de bruit du *CFOA*, nous avons proposé un circuit de compensation composé de bloc en cascade et dont le gain en tension de chacun est inférieur à un. En effet, le niveau de bruit injecté par

le circuit de moyenne à l'entrée des soustracteurs analogiques est atténué. Une conséquence remarquable est que, si on veut diminuer le bruit d'un système de circuits en cascade, il est nécessaire de placer en tête du système un circuit à faible gain en tension et bruit.

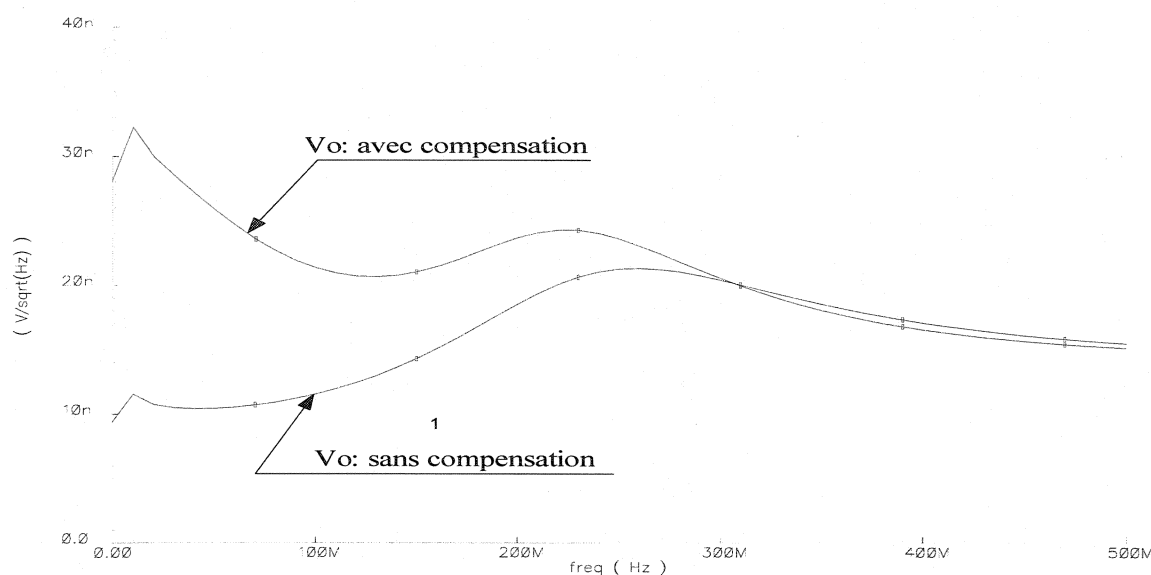


Figure 5.7. Densité spectrale du bruit du CFOA

5.3.2 Caractéristiques statiques

Afin de vérifier la linéarité du circuit de compensation de la tension de décalage du CFOA et le générateur de la tension V_{nr} , nous avons effectué les tests suivants:

Test du circuit de la tension V_{nr} : nous avons soumis l'entrée V_p à une tension DC variable de 0 à 1.8 Volt et à l'aide du logiciel Spectre, nous avons tracé les courbes représentant les tensions V_{nr} et V_n (Fig.5.8). On note une identité entre la tension V_{nr} et la tension V_n , cette propriété du circuit générateur de la tension V_{nr} est requise pour avoir

un circuit de compensation performant en ce qui a trait au temps nécessaire à la réduction de la tension du décalage.

Test du circuit de compensation: Pour déterminer la plage de linéarité du circuit de compensation en fonction de la tension V_p . Les courbes représentant les tensions V_{cp} et V_{cn} en fonction de V_p sont illustrées dans la figure 5.9. Selon ces deux courbes de V_{cp} et V_{cn} , on constate que la réponse du circuit de compensation est linéaire sur une plage allant de 0.45 à 1.25 Volt pour V_{cp} et 0.6 à 1.13 Volts pour V_{cn} . Cependant, pour une tension de décalage en dehors de ces intervalles, le circuit de compensation est moins linéaire. La conséquence de cette situation est une légère augmentation du temps nécessaire à la réduction de la tension de décalage du *CFOA*.

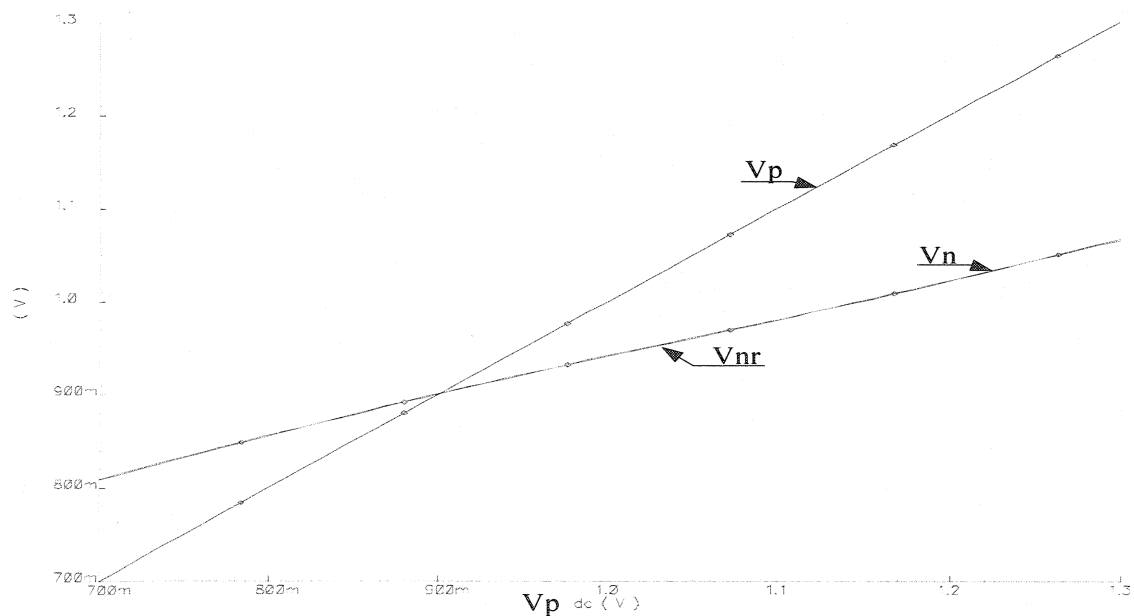


Figure 5.8. Réponse DC du circuit V_{nr}

Malgré cette zone non linéaire, on a une plage de compensation assez importante et des effets négligeables sur les performances du *CFOA*.

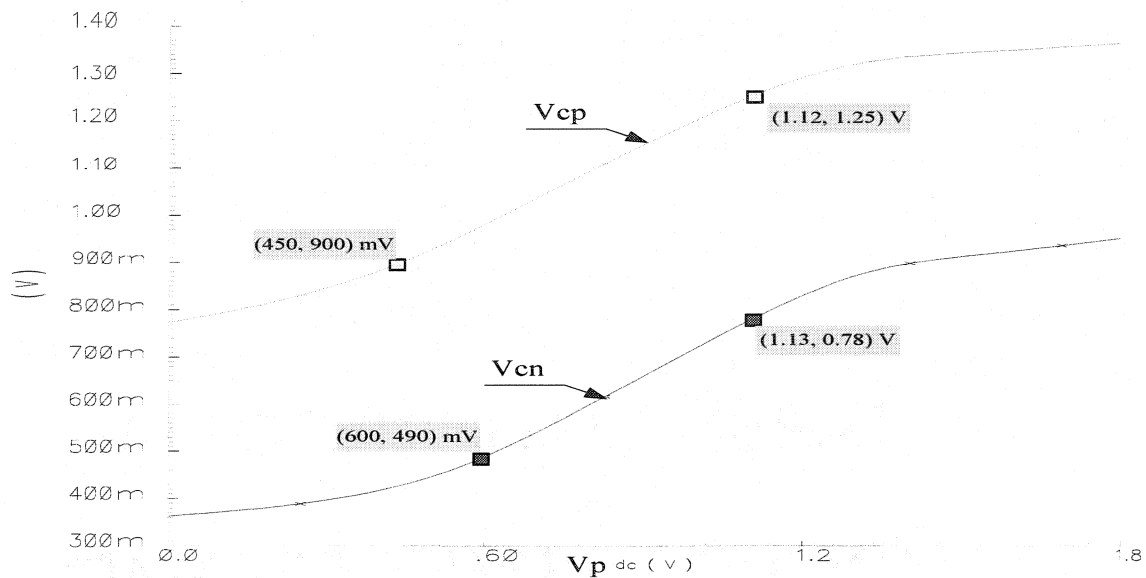


Figure 5.9. Réponse DC du circuit de compensation

5.3.3 Techniques de dessins des masques

Nous avons démontré au deuxième chapitre que les performances (bruit, temps de réponse, etc.) du circuit de compensation est fonction de la performance du circuit de moyenne. Pour minimiser les effets dus aux erreurs du procédé de fabrication, nous avons réalisé les dessins des masques du circuit de moyenne selon la technique des géométries du centre commun (*Commun Centroid Geomtries*). Cette technique consiste à diviser par deux les transistors M21 et M22 et de les placer autour d'un centre commun (Fig.5.10).

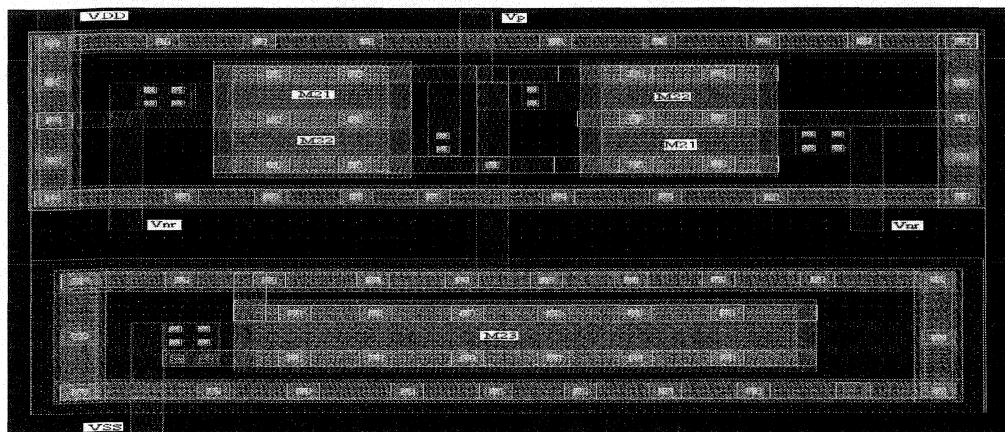


Figure 5.10. Dessin des masques du circuit de moyenne

5.4 Filtre passe – bande programmable

Pour valider notre approche de programmation de la fréquence centrale, nous avons effectué plusieurs simulations afin de vérifier le gain, la phase, le groupe de retard et le niveau du bruit.

5.4.1 Réponse en fréquence

Le circuit du filtre, la réponse en fréquence (gain et phase) et la densité du bruit sont présentés respectivement dans les figures 4.10 et 4.11 (a, b et c). On constate, que la phase ait une bonne linéarité dans la bande passante et un gain pratiquement constant. Le filtre consomme une puissance qui varie en fonction de la fréquence, elle est comprise entre 3.06 et 3.107 *mW* pour fréquence centrale allant de 60 MHz et 95 MHz, et une alimentation de 1.8 V.

5.4.2 Retard de groupe

Le retard de groupe (ou groupe de délai) étant défini comme la dérivée affectée d'un signe négatif du déphasage par rapport à la pulsation. Un filtre à déphasage linéaire présente la particularité de retarder le signal d'entrée sans la déformer, ce qui est très utile pour des applications en télécommunications; là où le déphasage joue un rôle dominant. Par contre, la distorsion de phase dans un filtre due à la variation non linéaire du groupe de délai peut détériorer le signal de manière très critique (ou nuisible) sensible. Les équations générales qui donnent le module ($|H(j\omega)|$), le déphasage ($Q(\omega)$) et le groupe de délai ($\tau(\omega)$) d'un filtre passe-bande de deuxième ordre sont respectivement :

$$|H(j\omega)| = \frac{-a_0\omega}{\sqrt{(\omega_0 - \omega)^2 + (\omega\omega_0/Q)^2}} \quad 5.4$$

$$\phi(\omega) = tg^{-1}\left(\frac{Q(\omega_0^2 - \omega^2)}{\omega\omega_0}\right) \quad 5.5$$

$$\tau(\omega) = \frac{-d\phi(\omega)}{d\omega} = \frac{(\omega_0^2 + \omega^2)\omega\omega_0}{\omega\omega_0 + (\omega_0^2 - \omega^2)Q^2} \quad 5.6$$

Où a_0 , ω_0 et Q leurs valeurs sont déterminées par les équations 4.13, 4.14 et 4.20.

Les différentes courbes de module et de phase en fonction de la fréquence centrale du filtre sont illustrées dans les figures 4.11 (b, c). Alors que les différents groupes de délais pour une fréquence centrale qui varie de 55 MHz à 95 MHz et une bande passante de 5 MHz approximativement sont présentés sur la figure 5.11.

Le groupe de délai pour chaque fréquence située à l'extérieure de la fréquence centrale est présenté dans le tableau 5.4. On note une différence entre le retard de groupe de la fréquence supérieure et inférieure, ceci montre que la linéarité de la phase est différente. Cependant, les groupes de délais obtenus sont supérieurs à ceux observés pour un filtre réalisé avec des amplificateurs en mode tension ou en transconductance.

Le délai de propagation dans la bande passante inférieure (τ_{10}) est le rapport entre le délai de la fréquence centrale (τ_0) et le délai de la fréquence de coupure inférieure (τ_1). Alors que le délai de propagation dans la bande passante supérieure (τ_{20}) est le rapport entre le délai de la fréquence de coupure supérieure (τ_2) et le délai de la fréquence centrale (τ_0).

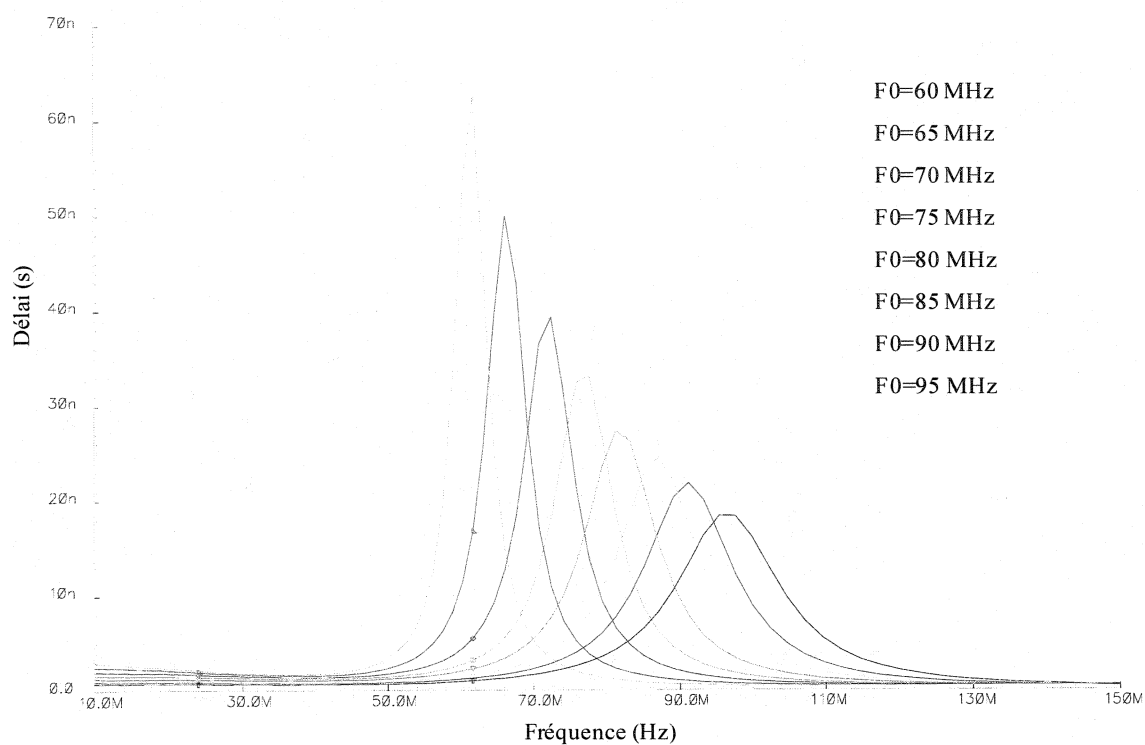


Figure 5.11. Groupe de délai en fonction de la fréquence

Tableau 5.4. Retard de groupe dans la bande passante

| F_1 (MHz) | F_2 (MHz) | F_0 (MHz) | τ_1 (ns) | τ_2 (ns) | τ_0 (ns) | τ_{10} (%) | τ_{20} (%) |
|----------------|----------------|----------------|------------------|------------------|------------------|--------------------|--------------------|
| 59.309 | 65.28 | 60.25 | 12.56 | 20.10 | 62.33 | 0.497 | 0.422 |
| 64.138 | 68.75 | 66.02 | 21.09 | 31.96 | 49.89 | 0.288 | 0.179 |
| 69.682 | 75.31 | 70.79 | 17.45 | 24.15 | 39.23 | 0.217 | 0.151 |
| 74.665 | 80.87 | 75.85 | 14.54 | 20.24 | 33.11 | 0.185 | 0.128 |
| 79.638 | 86.98 | 81.28 | 12.67 | 15.68 | 27.23 | 0.145 | 0.115 |
| 84.163 | 86.98 | 81.28 | 12.67 | 15.68 | 24.26 | 0.129 | 0.858 |
| 88.944 | 97.92 | 91.21 | 9.98 | 11.82 | 21.81 | 0.118 | 0.998 |
| 93.998 | 104.62 | 95.49 | 9.01 | 9.82 | 18.37 | 0.093 | 0.085 |

F_1, F_2 et F_0 présentent respectivement les fréquences de coupure inférieure, supérieure et centrale, et τ_1, τ_2 et τ_0 sont les mesures de délai pour les fréquences de coupure inférieure, supérieure et centrale.

Pour un filtre de type passe-bande, la distorsion de phase est exprimée par le groupe de délai dans la bande passante. Afin d'évaluer la distorsion de phase nous avons calculé le délai moyen entre la fréquence de coupure inférieure et supérieure. Pour mesurer la distorsion moyenne de la phase en fonction de la fréquence, nous avons calculé le délai moyen dans la bande passante. Le niveau de distorsion obtenu est illustré par la figure 5.12.

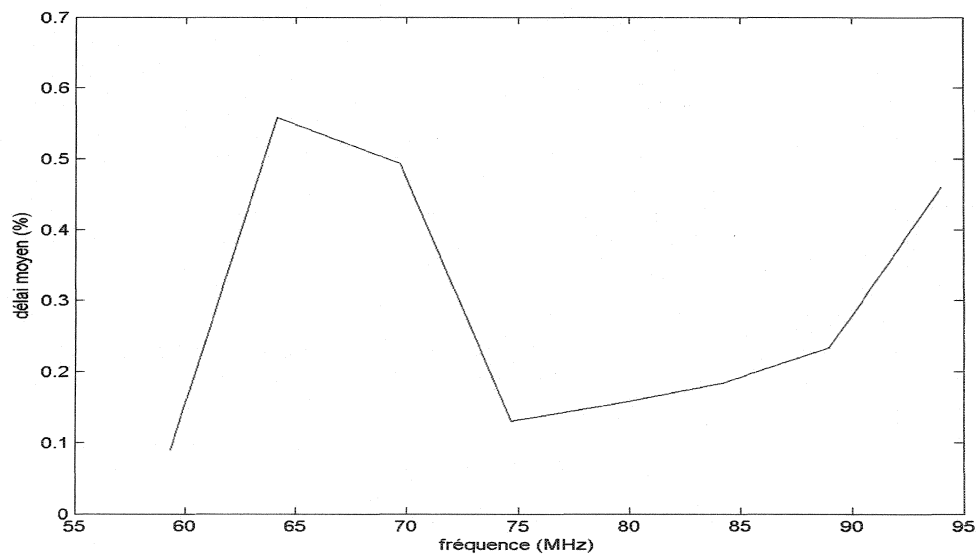


Figure 5.12. Distorsion de phase dans la bande passante du filtre

On note selon la courbe du délai moyen (Fig.5.12) que la distorsion de phase est comprise entre 0.1% et 0.58 % pour une fréquence allant de 60 MHz à 95 MHz, qu'on

peut considérer acceptable. La faible distorsion de phase est dû à la linéarité de phase du CFOA. Pour la plage de fréquence comprise entre 60 et 95 MHz, la distorsion de phase est de l'ordre de 0.4%. Ceci s'explique par la linéarité de phase du *CFOA*.

5.4.3 Distorsion harmonique du filtre

La distorsion harmonique joue un rôle déterminant dans plusieurs applications telles que le traitement de l'image, etc. Donc, il est nécessaire de l'évaluer pour les fréquences du filtre, mais avec un gain et une amplitude constants. Dans le tableau 5.5, on présente un résumé de la distorsion harmonique HD_2 obtenue par simulation. On note que la distorsion harmonique du filtre est comprise entre 2 et 3 pourcent, ceci prouve que le *CFOA* est un bon candidat pour réaliser des filtres programmables qui répondent bien aux critères très pointus de certaines applications où la linéarité et le niveau de bruit sont critiques.

Tableau 5.5. Distorsion d'amplitude du filtre

| F (MHz) | 95 | 90 | 85 | 80 | 75 | 70 | 65 | 60 |
|-------------|--------|--------|--------|--------|--------|--------|--------|--------|
| H_1 (mV) | 65.48 | 88.87 | 75.79 | 65.64 | 70.45 | 64.51 | 53.01 | 49.09 |
| H_2 (mV) | 2.17 | 2.58 | 2.15 | 2.04 | 3.52 | 2.61 | 2.82 | 2.31 |
| HD_2 (dB) | -29.59 | -30.74 | -30.94 | -30.15 | -26.06 | -27.85 | -25.48 | -26.53 |

HD_2 représente le taux de distorsion de la deuxième harmonique (H_2) et par rapport à la première harmonique (H_1).

5.4.4 Analyse de la densité du bruit

Le facteur de qualité (Q) d'un filtre passe-bande est le rapport entre la fréquence centrale et la bande passante :

$$Q = \frac{F_m}{F_h - F_l} = \frac{F_m}{BW} \quad 5.7$$

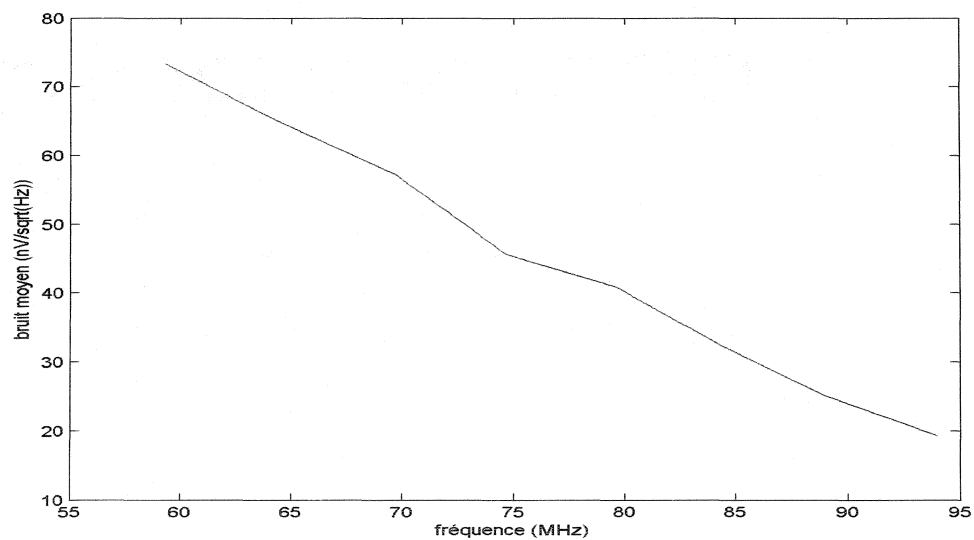
Où F_l , F_h , F_m et BW sont la fréquence de coupure inférieure, supérieure, centrale et la bande passante du filtre.

Selon les résultats présentés dans le tableau 5.6, on peut soulever les points suivants :

Premièrement, le niveau de bruit a atteint un maximum de $73.48 nV / \sqrt{Hz}$ pour une fréquence de 60 MHz, par conséquent, tout signal ayant une amplitude de 74 nV ou inférieur et une fréquence de 60 MHz sera noyé dans le bruit. Deuxièmement, on note une légère variation du facteur de qualité en fonction de la fréquence et de la bande passante (Equ.5.8) et comme on le constate, la bande passante n'est pas constante.

Tableau 5.6. Densité du bruit en fonction de la fréquence

| F_m (MHz) | BW (MHz) | Q | Bruit [min, max](nV/sqrt(Hz)) | |
|-------------|----------|-------|---------------------------------|-------|
| 93.998 | 9.85 | 9.54 | 18.84 | 19.86 |
| 88.944 | 8.61 | 10.33 | 24.91 | 25.35 |
| 84.163 | 7.85 | 10.72 | 32.68 | 32.76 |
| 79.638 | 6.82 | 11.67 | 40.74 | 41.01 |
| 74.665 | 6.42 | 11.63 | 49.02 | 42.31 |
| 69.682 | 6.19 | 11.25 | 57.04 | 57.45 |
| 64.138 | 5.71 | 11.23 | 65.38 | 65.55 |
| 59.309 | 5.47 | 10.84 | 73.26 | 73.48 |

**Figure 5.13.** Bruit moyen dans la bande passante du filtre

Pour analyser le niveau de bruit dans la bande passante, nous avons fait la moyenne des deux niveaux de bruits minimal et maximal pour chaque fréquence centrale du filtre.

Selon la courbe du bruit moyen (Fig.5.13), on note que ce dernier est inversement proportionnel à la fréquence centrale. En effet, la fréquence (Equ.4.19) est inversement proportionnelle aux valeurs des résistances $R1$, $R2$ et $R3$ qui sont des contributeurs majeurs au niveau de bruit dans un circuit électronique.

5.5 Conclusion

L'ensemble des résultats de simulation, de mesures réalisées sur le composant fabriqué en technologie *CMOS* 0.18 μm et avec une tension d'alimentation *DC* de 1.8 V, ainsi qu'une analyse montrant l'effet des éléments parasites du *CFOA* ont été présentés dans ce chapitre.

Le circuit de compensation proposée, permet le contrôle dynamique de la tension de décalage du *CFOA* qui constitue l'élément principal nécessaire à la réalisation de filtres analogiques programmables très demandés pour des applications, fonctionnant à haute fréquence et nécessitant une intégration complète. La somme des travaux accomplis montre que le principe de fonctionnement est valable malgré les difficultés rencontrées sur les circuits présentés. En tenant compte du lien démontré entre les résultats de réalisation pratique et ceux provenant des développements théoriques, ces travaux pourront être utiles pour de futures applications nécessitant l'utilisation de filtres analogiques dans les circuits intégrés.

CHAPITRE 6

DISCUSSION GÉNÉRALE ET TRAVAUX FUTURS

Dans ce dernier chapitre, nous proposons un bref rappel et une discussion générale sur les performances du filtre réalisé par l'amplificateur en mode courant, muni d'un correcteur de tension de décalage. Finalement, nous concluons ce mémoire de recherche par quelques recommandations dans le but d'améliorer et d'intégrer le filtre et son circuit de programmation sur un seul substrat.

6.1 Discussion générale

Ce mémoire constitue une revue des travaux préalablement réalisés pour réduire la tension de décalage du *CFOA* et concevoir des filtres actifs à fréquence centrale programmable avec un gain. Une nouvelle technique de réduction de la tension de décalage, qui n'affecte pas les performances de l'amplificateur a été proposée. Nous avons proposé aussi, une nouvelle architecture de filtre passe-bande dont la fréquence centrale est programmable à l'aide d'un circuit numérique, qui se caractérise par un faible effet sur les performances du filtre.

Au cours de ce mémoire, un rappel des caractéristiques des amplificateurs opérationnels de type *VFOA* et *CFOA* a été présenté. Cet exercice a permis d'identifier les avantages et

les inconvénients de ces deux catégories d'*ampop* en vue d'éclairer notre choix sur le circuit qui répond aux spécifications de notre application. Par la suite, nous avons passé en revue les circuits de compensation de la tension de décalage du *CFOA* en technologie bipolaire et *CMOS* et localisé les limites et les inconvénients de ces solutions. Ces limites nous ont amenés à proposer une nouvelle topologie sans effet sur la performance du *CFOA* et du filtre.

En dernier lieu, nous avons proposé une nouvelle topologie de filtre passe-bande à fréquence programmable par le biais d'un simple circuit numérique. De plus, nous avons rapporté les résultats de simulation montrant les performances de l'amplificateur avec et sans compensation de la tension de décalage. Ces résultats démontrent que le circuit de compensation a peu d'effets sur les caractéristiques de l'amplificateur tels que le gain, le bruit et la distorsion harmonique. Les performances mesurées ont été par la suite exposées et comparées aux simulations. La similitude de ces résultats montre que le *CFOA* compensé offre une bonne linéarité et précision, tout en démontrant une faible diminution des performances causées par le procédé de fabrication.

6.2 Travaux futurs

Pour les travaux futurs, certaines améliorations du circuit de compensation demeurent à compléter. En effet, pour améliorer la compensation de la tension de décalage à plus de

50%, il est sugg  r   d'apporter des modifications sur l'  tage d'entr  e afin de minimiser les effets de V_{thn} et V_{thp} sur les performances du *CFOA*.

  galement, le circuit du filtre r  alis   par deux *CFOA* peut   tre am  lior   pour avoir une fonction de transfert qui r  pond aux conditions suivantes :

- Gain ajustable sans effet sur la fr  quence de coupure ni le facteur de qualit  ;
- Fr  quence de coupure ajustable sans d  gradation du gain ni du facteur de qualit  ;
- Facteur de qualit   ajustable sans effet sur les param  tres pr  c  dents.

RÉFÉRENCES

- [1] ASSI A., SAWAN M. and ZHU J., "An offset Compensated and High Gain CMOS feedback Op Amp", IEEE Trans. CAS, Vol.45, No.1, May 1998.

- [2] BAKER R. J., LI H. W., BOYCE D. E., "CMOS, Circuit design, layout and Simulations, IEEE Press on Microelectronics Systems", 1998 New York. [Book]

- [3] BRUUN E., "CMOS Technology and Current Feedback Op-Amps", IEEE ISCAS, Vol.2, pp. 1062-1065, 1993.

- [4] BRUUN E., "Class AB CMOS first generation current conveyor", IEEE, Electronics Letters Vol.31, No.6, March 1995.

- [6] BRUUN E., "Harmonic Distorsion in CMOS Current Mirrors", Circuits and Systems, ISCAS, 1998 IEEE, Vol.1, pp.567 – 570, May1998

- [7] CZARNUL Z., "Modification of the Banu-Tsividis Continuous-Time Integrator Structure", IEEE Transactions on Circuits and Systems, V. CAS-33, No. 7, pp. 714-716, July 1986.

- [8] DENG J., ARONHIME P. and MAUNDY B., "Simulation of Coupled Tuned Circuits using CFOAs", IEEE ISCAS Proceedings, Vol. 1, pp. 41-44, May 1998.

- [9] DJEBBI M., ASSI A., and SAWAN M, "An Offset-Compensated Wide Bandwidth CMOS Current-Feedback operational Amplifier", IEEE CCECE, Vol.1, pp. 73-76, May 2003.
- [10] DJEBBI M., ASSI A., and SAWAN M, "High Frequency Offset-Compensated Wide Bandwidth CMOS Current Feedback Operational Amplifier", IEEE, MWSCAS, Vol.1, pp.85-88, Dec. 2003.
- [11] DJEBBI M., ASSI A. and SAWAN M., "Monolithic tunable CMOS Based Band-Pass Filter", IEEE Analog Integrated Circuits and Signal Processing, Kluwer.
- [12] ELWAN H.O. and SOLIMAN A., "A Novel CMOS Current Conveyor realization with an Electronically Tunable Current Mode Filter Suitable for VLSI", IEEE Transactions on Circuits and Systems II, Vol. 43, Issue N° 9, pp. 663-670, September 1996.
- [13] FRANCO S., "Analytical Foundations of Current Feedback Amplifiers", IEEE ISCAS, Vol.2, 1995.
- [14] GEIGER R.L. and SANCHEZ E., "Active Filter Design Using Operational Transconductance Amplifiers: A Tutorial", *IEEE Circuits and Devices Magazine*, Vol. 1, pp.20-32, March 1985.

- [15] HORNG J.W., "New Configuration For Realizing Universal Voltage-Mode Filter Using Two Current Feedback Amplifiers", IEEE Transactions on Circuits and Systems, Vol. 49, N° 5, pp. 1043-1045, October 2000.
- [16] KOULLIAS I.K., "A Wideband Low-offset Current feedback Op Amp Design", IEEE, Bipolar Circuits and Technology Meeting, pp.120-123 1989.
- [17] LIU S.I., "Universal filter using two current-feedback amplifiers", Electronics Letters, Vol. 31, N° 8, pp. 629-630, April 1995.
- [18] MANETAKIS K, C. TOUMAZOU C. and PAPAVALASSILIOU C., "A 120 MHz, 12mW CMOS Current Feedback Op Amp", IEEE, Custom Integrated Circuits, 1998.
- [19] MOON U.K and SONG B-S, "Design of a Low-Distortion 22-kHz Fifth Order Bessel Filter", IEEE Journal of Solid State Circuits Vol. 28, No.12, pp. 1254-1264, Dec.1993.
- [20] NAUTA B., "Analog CMOS filters for very high frequencies", Kluwer Academic Publishers, 1993. [Book]

- [21] PALMISANO G., PALUMBO G. and PENNISI S., "Harmonic Distortion On Class AB CMOS Current Output Stages", IEEE Transactions on Circuits and Systems II, Vo.33, No. 2, pp. 243-249, February 1998.
- [22] PALMBO G. and PENNISI S., "Current Feedback Amplifiers versus Voltage Operational Amplifier", IEEE Transaction on Circuits and Systems, Vol. 48, Issue N° 5, pp. 617-623, May 2001.
- [23] SALTHOUSE C.D. and SARPESHKAR R. S., "A Practical Micro-power Programmable band-pass Filter for Use in Bionic Ears", IEEE Journal of Solid-State Circuits, Vol. 38, Issue N° 1, pp. 63-70, January 2003.
- [24] SEDRA A. and SMITH K. C., "A second generation current conveyor and its applications", IEEE Transaction on Circuits and Systems, Vol. 17, pp. 132-134, February 1970.
- [25] SOLIMAN A.M., "Applications of the Current Feedback Operational Amplifiers", Analog Integrated Circuits and Signal Processing, Vol. 11, pp 265-302, November 1996.
- [26] SOLIMAN A. M. and AHMED SOLIMAN M., "New MOS-C Biquad Filter Using The Current Feedback Operational Amplifier", IEEE Trans. CAS, Vol.46, No.12, Dec.1999.

- [27] TAKAYASU S., "Perspectives on Power - Aware Electronics", Solid - State Circuits Conference, IEEE ISSCC, Vol.1, pp 26 – 29, 2003.
- [28] TAMMAM A. A., HAYATLEH K., and LIDGEY F.J., "Novel performance current feedback op-amp", IEEE ISACS, Vol.1, pp 26-29, May 2002.
- [29] TOKER A., GUNES E. O. and OZOGUZ S. E., "New high Q band pass filter configuration using current controlled current conveyor based all-pass filters", IEEE, ICECS 2001, Vol. 1, pp. 165-168, September 2001.
- [30] TOUMAZOU C, LIDGEY F. L. and HIGH D. G. (Editor), "Analogue IC Design, the Current-Mode approach", pp. 574-583, Peter Peregrinus, 1990. [Book]
- [31] TOUMAZOU C., ED., "Circuits and systems tutorials", IEEE ISCAS 1994.
- [32] TSIVIDIS Y., M. BANU, and KHOURI J., "Continuous - Time MOSFET-C Filters in VLSI", IEEE Journal of Solid State Circuits V. SC-21, No.1, pp. 15-30, Feb.1986.